

#2-105

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-224909

(43) 公開日 平成11年(1999) 8月17日

(51) IntCl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
21/8234
27/088

H 0 1 L 29/78 3 7 1
27/10 4 8 1
27/08 1 0 2 H
27/10 4 3 4

審査請求 未請求 請求項の数25 F D (全 36 頁) 最終頁に続く

(21) 出願番号 特願平10-158479

(22) 出願日 平成10年(1998) 5月22日

(31) 優先権主張番号 特願平9-335812

(32) 優先日 平9(1997)12月5日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 古畑 智之

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

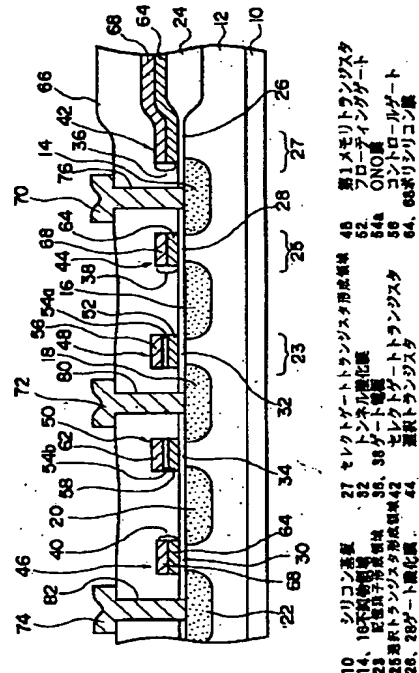
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 メモリトランジスタと、このメモリトランジスタのみを選択作動させる選択トランジスタとが、シリコン基板の主表面に形成された不純物領域で電気的に接続されている構造において、不純物領域に溝部が形成されるを防ぐことができる不揮発性半導体記憶装置の製造方法を提供すること。

【解決手段】 選択トランジスタ44のゲート電極38は、ポリシリコン膜64、68を含む。第1メモリトランジスタ48のコントロールゲート56は、ポリシリコン膜68を含み、フローティングゲート52は、ポリシリコン膜64を含む。よって、ゲート電極38の厚みと、コントロールゲート56の厚み+フローティングゲート52の厚みとは、同じである。さらに、ゲート電極38とコントロールゲート56及びフローティングゲート52の積層構造とは、同時に形成している。



【特許請求の範囲】

【請求項 1】 その主表面に記憶素子形成領域、選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域を含む半導体基板と、

前記記憶素子形成領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを含む複数の記憶素子と、

前記選択トランジスタ形成領域に形成され、第 1 のゲート絶縁膜及び第 1 のゲート電極を含む複数の選択トランジスタと、

を備え、

一個の前記選択トランジスタは、一個の前記記憶素子と組となり、かつ一個の前記記憶素子のみを選択作動させる機能を有し、

さらに、

前記主表面に形成され、前記記憶素子と前記選択トランジスタとを電氣的に接続する第 1 の不純物領域と、

前記セレクトゲートトランジスタ形成領域に形成され、複数の前記記憶素子を選択作動させ、かつ第 2 のゲート絶縁膜及び第 2 のゲート電極を含むセレクトゲートトランジスタと、

を備えた不揮発性半導体記憶装置の製造方法であって、

(a) 前記記憶素子形成領域に前記トンネル絶縁膜、前記選択トランジスタ形成領域に前記第 1 のゲート絶縁膜及び前記セレクトゲートトランジスタ形成領域に前記第 2 のゲート絶縁膜を形成する工程と、

(b) 前記トンネル絶縁膜並びに前記第 1 及び第 2 のゲート絶縁膜の上に、第 1 の導電体膜を形成する工程と、

(c) 前記記憶素子形成領域にある前記第 1 の導電体膜の上に、前記誘電体膜となる絶縁膜を形成する工程と、

(d) 前記記憶素子形成領域にある前記絶縁膜の上並びに前記選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域にある前記第 1 の導電体膜の上に、第 2 の導電体膜を形成する工程と、

(e) 前記第 2 及び第 1 の導電体膜を選択的にエッチング除去して、前記第 2 の導電体膜を含む前記コントロールゲート及び前記第 1 の導電体膜を含む前記フローティングゲートの積層構造と、前記第 2 及び第 1 の導電体膜の積層構造を含む前記第 1 及び第 2 のゲート電極とを同時に形成する工程と、

(f) 前記主表面に、前記第 1 の不純物領域を形成し、前記記憶素子と前記選択トランジスタとを電氣的に接続させる工程と、

を備えた不揮発性半導体記憶装置の製造方法。

【請求項 2】 請求項 1 において、

前記 (c) 工程は、

前記選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域にある前記第 1 の導電体膜の上に、前記絶縁膜を形成する工程と、

前記選択トランジスタ形成領域及びセレクトゲートトラ

ンジスタ形成領域にある前記絶縁膜を選択的に除去し、前記選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域にある前記第 1 の導電体膜を露出する工程と、

を備え、

前記 (d) 工程は、前記第 2 の導電体膜が、露出した前記第 1 の導電体膜と接触するように形成する工程を備え、

前記 (e) 工程の前記第 1 及び第 2 のゲート電極を形成する工程は、前記第 1 の導電体膜と前記第 2 の導電体膜とが接触した構造を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項 3】 請求項 1 において、

前記主表面は、さらに第 1 の接続領域を含み、

前記 (b) 工程は、前記第 1 の導電体膜を前記第 1 の接続領域に形成する工程を備え、

前記 (c) 工程は、

前記選択トランジスタ形成領域、セレクトゲートトランジスタ形成領域及び第 1 の接続領域にある前記第 1 の導電体膜の上に、前記絶縁膜を形成する工程と、

前記セレクトゲートトランジスタ形成領域及び第 1 の接続領域にある前記絶縁膜を選択的に除去し、前記セレクトゲートトランジスタ形成領域及び第 1 の接続領域にある前記第 1 の導電体膜を露出する工程と、

を備え、

前記 (d) 工程は、

前記第 2 の導電体膜が、前記セレクトゲートトランジスタ形成領域において露出した前記第 1 の導電体膜と接触するように形成し、かつ前記第 2 の導電体膜を前記第 1 の接続領域に形成し、前記第 1 の接続領域で前記第 1 の導電体膜と前記第 2 の導電体膜とを電氣的に接続させる工程を備え、

前記 (e) 工程の前記第 1 のゲート電極を形成する工程は、

前記第 1 のゲート電極を構成する前記第 2 及び第 1 の導電体膜は、前記第 1 の接続領域で電氣的に接続され、前記選択トランジスタ形成領域に、間に前記絶縁膜を挟んだ前記第 2 及び第 1 の導電体膜の積層構造を含む前記第 1 のゲート電極を形成する工程を備え、

前記 (e) 工程の前記第 2 のゲート電極を形成する工程は、前記第 1 の導電体膜と前記第 2 の導電体膜とが接触した構造を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項 4】 請求項 1 において、

前記主表面は、さらに第 2 の接続領域を含み、

前記 (b) 工程は、前記第 1 の導電体膜を前記第 2 の接続領域に形成する工程を備え、

前記 (c) 工程は、

前記選択トランジスタ形成領域、セレクトゲートトランジスタ形成領域及び第 2 の接続領域にある前記第 1 の導

電体膜の上に、前記絶縁膜を形成する工程と、
前記選択トランジスタ形成領域及び第2の接続領域にある前記絶縁膜を選択的に除去し、前記選択トランジスタ形成領域及び第2の接続領域にある前記第1の導電体膜を露出する工程と、
を備え、

前記(d)工程は、

前記第2の導電体膜が、前記選択トランジスタ形成領域において露出した前記第1の導電体膜と接触するように形成し、かつ前記第2の導電体膜を前記第2の接続領域に形成し、前記第2の接続領域で前記第1の導電体膜と前記第2の導電体膜とを電気的に接続させる工程を備え、

前記(e)工程の前記第1のゲート電極を形成する工程は、前記第1の導電体膜と前記第2の導電体膜とが接触した構造を形成する工程を備え、

前記(e)工程の前記第2のゲート電極を形成する工程は、

前記第2のゲート電極を構成する前記第2及び第1の導電体膜は、前記第2の接続領域で電気的に接続され、前記セレクトゲートトランジスタ形成領域に、間に前記絶縁膜を挟んだ前記第2及び第1の導電体膜の積層構造を含む前記第2のゲート電極を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項5】 請求項1において、

前記主表面は、さらに第1の接続領域及び第2の接続領域を含み、

前記(b)工程は、前記第1の導電体膜を前記第1の接続領域及び第2の接続領域に形成する工程を備え、

前記(c)工程は、

前記選択トランジスタ形成領域、セレクトゲートトランジスタ形成領域、第1の接続領域及び第2の接続領域にある前記第1の導電体膜の上に、前記絶縁膜を形成する工程と、

前記第1の接続領域及び第2の接続領域にある前記絶縁膜を選択的に除去し、前記第1の接続領域及び第2の接続領域にある前記第1の導電体膜を露出する工程と、
を備え、

前記(d)工程は、

前記第2の導電体膜を前記第1の接続領域及び第2の接続領域に形成し、前記第1の接続領域及び第2の接続領域で前記第1の導電体膜と前記第2の導電体膜とを電気的に接続させる工程を備え、

前記(e)工程の前記第1のゲート電極を形成する工程は、

前記第1のゲート電極を構成する前記第2及び第1の導電体膜は、前記第1の接続領域で電気的に接続され、前記選択トランジスタ形成領域に、間に前記絶縁膜を挟んだ前記第2及び第1の導電体膜の積層構造を含む前記第1のゲート電極を形成する工程を備え、

前記(e)工程の前記第2のゲート電極を形成する工程は、

前記第2のゲート電極を構成する前記第2及び第1の導電体膜は、前記第2の接続領域で電気的に接続され、前記セレクトゲートトランジスタ形成領域に、間に前記絶縁膜を挟んだ前記第2及び第1の導電体膜の積層構造を含む前記第2のゲート電極を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項6】 請求項1、2、3、4または5において、

前記主表面に、前記選択トランジスタと前記セレクトゲートトランジスタとを電気的に接続する第2の不純物領域を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項7】 その主表面に記憶素子形成領域及びセレクトゲートトランジスタ形成領域を含む半導体基板と、前記記憶素子形成領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを含む複数の記憶素子と、

前記セレクトゲートトランジスタ形成領域に形成され、ゲート絶縁膜及びゲート電極を含み、複数の前記記憶素子を選択作動させる、セレクトゲートトランジスタと、前記主表面に形成され、前記記憶素子と前記セレクトゲートトランジスタとを電気的に接続する不純物領域と、
を備えた不揮発性半導体記憶装置の製造方法であって、

(g) 前記記憶素子形成領域に前記トンネル絶縁膜及び前記セレクトゲートトランジスタ形成領域に前記ゲート絶縁膜を形成する工程と、

(h) 前記トンネル絶縁膜及び前記ゲート絶縁膜の上に、第1の導電体膜を形成する工程と、

(i) 前記記憶素子形成領域にある前記第1の導電体膜の上に、前記誘電体膜となる絶縁膜を形成する工程と、

(j) 前記記憶素子形成領域にある前記絶縁膜の上及び前記セレクトゲートトランジスタ形成領域にある前記第1の導電体膜の上に、第2の導電体膜を形成する工程と、

(k) 前記第2及び第1の導電体膜を選択にエッチング除去して、前記第2の導電体膜を含む前記コントロールゲート及び前記第1の導電体膜を含む前記フローティングゲートの積層構造と、前記第2及び第1の導電体膜の積層構造を含む前記ゲート電極とを同時に形成する工程と、

(l) 前記フローティングゲートと前記ゲート電極との間の前記主表面に、前記不純物領域を形成し、前記記憶素子と前記セレクトゲートトランジスタとを電気的に接続させる工程と、
を備えた不揮発性半導体記憶装置の製造方法。

【請求項8】 請求項7において、

前記(i)工程は、

前記セレクトゲートトランジスタ形成領域にある前記第

1の導電体膜の上に、前記絶縁膜を形成する工程と、
前記セレクトゲートトランジスタ形成領域にある前記絶縁膜を選択的に除去し、前記セレクトゲートトランジスタ形成領域にある前記第1の導電体膜を露出する工程と、
を備え、

前記(j)工程は、前記第2の導電体膜が、露出した前記第1の導電体膜と接触するように形成する工程を備え、

前記(k)工程の前記ゲート電極を形成する工程は、前記第1の導電体膜と前記第2の導電体膜とが接触した構造を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項9】 請求項7において、

前記主表面は、さらに接続領域を含み、

前記(h)工程は、前記第1の導電体膜を前記接続領域に形成する工程を備え、

前記(i)工程は、

前記セレクトゲートトランジスタ形成領域及び前記接続領域にある前記第1の導電体膜の上に、前記絶縁膜を形成する工程と、

前記接続領域にある前記絶縁膜を選択的に除去し、前記接続領域にある前記第1の導電体膜を露出する工程と、
を備え、

前記(j)工程は、前記第2の導電体膜を前記接続領域に形成し、前記接続領域で前記第1の導電体膜と前記第2の導電体膜とを電氣的に接続させる工程を備え、

前記(k)工程の前記ゲート電極を形成する工程は、前記ゲート電極を構成する前記第2及び第1の導電体膜は、前記接続領域で電氣的に接続され、

前記セレクトゲートトランジスタ形成領域に、間に前記絶縁膜を挟んだ前記第2及び第1の導電体膜の積層構造を含む前記ゲート電極を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項10】 請求項9において、

前記接続領域に、素子分離絶縁膜を形成する工程を備え、

前記ゲート電極を構成する前記第2及び第1の導電体膜が、前記接続領域で電氣的に接続される工程は、前記素子分離絶縁膜の上で行う、不揮発性半導体記憶装置の製造方法。

【請求項11】 請求項10において、

前記不揮発性半導体記憶装置は、NOR型、NAND型、DINOR型またはAND型である、不揮発性半導体記憶装置の製造方法。

【請求項12】 その主表面に記憶素子形成領域及び選択トランジスタ形成領域を含む半導体基板と、
前記記憶素子形成領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを含む記憶素子と、

前記選択トランジスタ形成領域に形成され、ゲート絶縁膜及びゲート電極を含む選択トランジスタと、
を備え、

一個の前記選択トランジスタは、一個の前記記憶素子と組となり、かつ一個の前記記憶素子のみを選択作動させる機能を有し、

さらに、

前記主表面に形成され、前記記憶素子と前記選択トランジスタとを電氣的に接続する不純物領域と、

を備えた不揮発性半導体記憶装置の製造方法であって、

(m) 前記記憶素子形成領域に前記トンネル絶縁膜、前記選択トランジスタ形成領域に前記ゲート絶縁膜を形成する工程と、

(n) 前記トンネル絶縁膜及び前記ゲート絶縁膜の上に、第1の導電体膜を形成する工程と、

(o) 前記記憶素子形成領域にある前記第1の導電体膜の上に、前記誘電体膜となる絶縁膜を形成する工程と、

(p) 前記記憶素子形成領域にある前記絶縁膜の上及び前記選択トランジスタ形成領域にある前記第1の導電体膜の上に、第2の導電体膜を形成する工程と、

(q) 前記第2及び第1の導電体膜を選択的にエッチング除去して、前記第2の導電体膜を含む前記コントロールゲート及び前記第1の導電体膜を含む前記フローティングゲートの積層構造と、前記第2及び第1の導電体膜の積層構造を含む前記ゲート電極とを同時に形成する工程と、

(r) 前記主表面に、前記不純物領域を形成し、前記記憶素子と前記選択トランジスタとを電氣的に接続させる工程と、

を備えた不揮発性半導体記憶装置の製造方法。

【請求項13】 請求項12において、

前記(o)工程は、

前記選択トランジスタ形成領域にある前記第1の導電体膜の上に、前記絶縁膜を形成する工程と、

前記選択トランジスタ形成領域にある前記絶縁膜を選択的に除去し、前記選択トランジスタ形成領域にある前記第1の導電体膜を露出する工程と、

を備え、

前記(p)工程は、前記第2の導電体膜が、露出した前記第1の導電体膜と接触するように形成する工程を備え、

前記(q)工程の前記ゲート電極を形成する工程は、前記第1の導電体膜と前記第2の導電体膜とが接触した構造を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項14】 請求項12において、

前記主表面は、さらに接続領域を含み、

前記(n)工程は、前記第1の導電体膜を前記接続領域に形成する工程を備え、

前記(o)工程は、

前記選択トランジスタ形成領域及び前記接続領域にある前記第 1 の導電体膜の上に、前記絶縁膜を形成する工程と、

前記接続領域にある前記絶縁膜を選択的に除去し、前記接続領域にある前記第 1 の導電体膜を露出する工程と、を備え、

前記 (p) 工程は、

前記第 2 の導電体膜を前記接続領域に形成し、前記接続領域で前記第 1 の導電体膜と前記第 2 の導電体膜とを電氣的に接続させる工程を備え、

前記 (q) 工程の前記ゲート電極を形成する工程は、前記ゲート電極を構成する前記第 2 及び第 1 の導電体膜は、前記接続領域で電氣的に接続され、

前記選択トランジスタ形成領域に、間に前記絶縁膜を挟んだ前記第 2 及び第 1 の導電体膜の積層構造を含む前記ゲート電極を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項 15】 請求項 12、13 または 14 において、

前記コントロールゲート及び前記フローティングゲートの積層構造と前記ゲート電極とは、隣接して形成され、前記不純物領域は、前記コントロールゲート及び前記フローティングゲートの積層構造と前記ゲート電極との間に形成される、不揮発性半導体記憶装置の製造方法。

【請求項 16】 その主表面に、記憶素子形成領域及び電界効果トランジスタ形成領域を含む半導体基板と、前記記憶素子形成領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを含む記憶素子と、

前記電界効果トランジスタ形成領域に形成され、ゲート絶縁膜及びゲート電極を含む電界効果トランジスタと、前記主表面に形成され、前記記憶素子と前記電界効果トランジスタとを電氣的に接続する不純物領域と、を備えた不揮発性半導体記憶装置の製造方法であって、

(s) 前記記憶素子形成領域に前記トンネル絶縁膜及び前記電界効果トランジスタ形成領域に前記ゲート絶縁膜を形成する工程と、

(t) 前記トンネル絶縁膜及び前記ゲート絶縁膜の上に、第 1 の導電体膜を形成する工程と、

(u) 前記記憶素子形成領域にある前記第 1 の導電体膜の上に、前記誘電体膜となる絶縁膜を形成する工程と、

(v) 前記記憶素子形成領域にある前記絶縁膜の上及び前記電界効果トランジスタ形成領域にある前記第 1 の導電体膜の上に、第 2 の導電体膜を形成する工程と、

(w) 前記第 2 及び第 1 の導電体膜を選択にエッチング除去して、前記第 2 の導電体膜を含む前記コントロールゲート及び前記第 1 の導電体膜を含む前記フローティングゲートの積層構造と、前記第 2 及び第 1 の導電体膜の積層構造を含む前記ゲート電極とを同時に形成する工程と、

(x) 前記フローティングゲートと前記ゲート電極との間の前記主表面に、前記不純物領域を形成し、前記記憶素子と前記電界効果トランジスタとを電氣的に接続させる工程と、

を備えた不揮発性半導体記憶装置の製造方法。

【請求項 17】 請求項 16 において、

前記 (u) 工程は、

前記電界効果トランジスタ形成領域にある前記第 1 の導電体膜の上に、前記絶縁膜を形成する工程と、

前記電界効果トランジスタ形成領域にある前記絶縁膜を選択的に除去し、前記電界効果トランジスタ形成領域にある前記第 1 の導電体膜を露出する工程と、

を備え、

前記 (v) 工程は、前記第 2 の導電体膜が、露出した前記第 1 の導電体膜と接触するように形成する工程を備え、

前記 (w) 工程の前記ゲート電極を形成する工程は、前記第 1 の導電体膜と前記第 2 の導電体膜とが接触した構造を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項 18】 請求項 16 において、

前記主表面は、さらに素子分離絶縁膜を含み、

前記 (t) 工程は、前記第 1 の導電体膜を前記素子分離絶縁膜上に形成する工程を備え、

前記 (u) 工程は、

前記電界効果トランジスタ形成領域及び前記素子分離絶縁膜上にある前記第 1 の導電体膜の上に、前記絶縁膜を形成する工程と、

前記素子分離絶縁膜上にある前記絶縁膜を選択的に除去し、前記素子分離絶縁膜上にある前記第 1 の導電体膜を露出する工程と、

を備え、

前記 (v) 工程は、前記第 2 の導電体膜を前記素子分離絶縁膜上に形成し、前記素子分離絶縁膜上で前記第 1 の導電体膜と前記第 2 の導電体膜とを電氣的に接続させる工程を備え、

前記 (w) 工程の前記ゲート電極を形成する工程は、前記ゲート電極を構成する前記第 2 及び第 1 の導電体膜は、前記素子分離絶縁膜上で電氣的に接続され、

前記電界効果トランジスタ形成領域に、間に前記絶縁膜を挟んだ前記第 2 及び第 1 の導電体膜の積層構造を含む前記ゲート電極を形成する工程を備えた不揮発性半導体記憶装置の製造方法。

【請求項 19】 請求項 16、17 または 18 において、

一個の前記電界効果トランジスタは、一個の前記記憶素子と組となり、かつ一個の前記記憶素子のみを選択作動させる選択トランジスタである、不揮発性半導体記憶装置の製造方法。

【請求項 20】 請求項 16、17 または 18 におい

て、
前記電界効果トランジスタは、複数の前記記憶素子を選択作動させるセレクトゲートトランジスタである、不揮発性半導体記憶装置の製造方法。

【請求項 21】 情報の記憶を電荷の蓄積によりおこなう不揮発性半導体記憶装置であって、
主表面を有する半導体基板と、
前記主表面に設置され、トンネル絶縁膜、フローティングゲート、誘電体膜、コントロールゲートが積層された構造を有する記憶素子と、
前記主表面であって、かつ前記記憶素子と隣接して設置され、第 1 のゲート絶縁膜、第 1 のゲート電極が積層された構造を有する電界効果トランジスタと、
前記主表面であって、かつ前記記憶素子と前記電界効果トランジスタとの間に形成され、前記記憶素子と前記電界効果トランジスタとを電氣的に接続する不純物領域と、
を備え、
前記不純物領域は、前記記憶素子と前記電界効果トランジスタとが共有するソース／ドレインであり、
前記第 1 のゲート電極は、下層電極と上層電極とを積層した構造であり、
前記第 1 のゲート電極の厚みは、前記フローティングゲートの厚みと前記コントロールゲートの厚みとの和と同じである、不揮発性半導体記憶装置。

【請求項 22】 請求項 21 において、
前記下層電極と前記上層電極とが接触している、不揮発性半導体記憶装置。

【請求項 23】 請求項 21 において、
前記主表面は、さらに素子分離絶縁膜を有し、
前記第 1 のゲート電極は、下層電極と上層電極との間に絶縁膜を挟んだ構造であり、
前記下層電極と前記上層電極とは、前記第 1 のゲート電極が前記素子分離絶縁膜上に設置されている位置で電氣的に接続されている、不揮発性半導体記憶装置。

【請求項 24】 請求項 21、22 または 23 において、
一個の前記電界効果トランジスタは、一個の前記記憶素子と組となり、かつ一個の前記記憶素子のみを選択作動させる選択トランジスタである、不揮発性半導体記憶装置。

【請求項 25】 請求項 24 において、
複数の前記記憶素子を選択作動させ、かつ第 2 のゲート絶縁膜及び第 2 のゲート電極が積層された構造を有するセレクトゲートトランジスタを備え、
前記第 2 のゲート電極は、下層電極と上層電極とを積層した構造であり、
前記第 2 のゲート電極の厚みは、前記フローティングゲートの厚みと前記コントロールゲートの厚みとの和と同じである、不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、情報の記憶を電荷の蓄積によりおこなう不揮発性半導体記憶装置の製造方法に関するものであり、特に、電界効果トランジスタにより記憶素子を選択作動させる不揮発性半導体記憶装置の製造方法及びその製造方法により製造された不揮発性半導体記憶装置に関するものである。

【0002】

【背景技術】フローティングゲートとコントロールゲートを備えた記憶素子を有する不揮発性半導体記憶装置として、例えば、フラッシュメモリがある。フラッシュメモリには様々な型があり、電界効果トランジスタにより記憶素子を選択作動させる型がある。このような型のフラッシュメモリは、例えば、特開平 6-275847 号公報に開示されている。以下、特開平 6-275847 号公報に開示されたフラッシュメモリの製造方法を、図 43～図 51 を用いて説明する。

【0003】図 43 に示すように、半導体基板 200 の主表面の上に、順に、トンネル酸化膜となるシリコン酸化膜 202、フローティングゲートとなるポリシリコン膜 204 を形成する。図 44 に示すように、セレクトゲートトランジスタ形成領域 232 上のポリシリコン膜 204 を選択的にエッチング除去し、記憶素子形成領域 234 上のポリシリコン膜 204 を残す。このポリシリコン膜 204 を以下、ポリシリコン膜 204a という。図 45 に示すように、ポリシリコン膜 204a の上に ONO 膜 206、選択トランジスタ形成領域 232 上にゲート酸化膜となるシリコン酸化膜 208 をそれぞれ形成する。そして ONO 膜 206 及びシリコン酸化膜 208 の上にポリシリコン膜 210 を形成する。

【0004】図 46 に示すように、ポリシリコン膜 210 の上にレジスト 212 を形成し、レジスト 212 をマスクとしてポリシリコン膜 210 を選択的にエッチング除去し、記憶素子形成領域 234 上のポリシリコン膜 210 を残した状態で、セレクトゲートトランジスタ形成領域 232 上にゲート電極 214 を形成する。記憶素子形成領域 234 上のポリシリコン膜 210 を以下、ポリシリコン膜 210a という。このエッチングにより、ゲート電極 214 と後に形成されるフローティングゲートとの間にある半導体基板 200 の主表面 236 の上のシリコン酸化膜 208 が露出する。

【0005】図 47 に示すように、レジスト 212 を除去し、レジスト 216 を記憶素子形成領域 234 及びセレクトゲートトランジスタ形成領域 232 上に形成する。コントロールゲート形成のためのマスクとなるように、レジスト 216 をパターンニングする。

【0006】なお、レジスト 216 は、ゲート電極 214 を覆い、かつその端面 216a がポリシリコン膜 204a、210a の上に重ならないようにパターンニング

される。ゲート電極 214 を覆うのは、ゲート電極 214 はコントロールゲート及びフローティングゲートと同じ材料、すなわちポリシリコンで構成されているので、この後のコントロールゲート及びフローティングゲート形成のためのエッチングに際し、ゲート電極 214 がエッチングされるのを防ぐためである。端面 216a がポリシリコン膜 204a、210a の上に重ならないようにパターンニングするのは、端面 216a がポリシリコン膜 204a、210a の上に重なると、この後のコントロールゲート及びフローティングゲート形成のためにポリシリコン膜 210a、204a をエッチングする際、不必要なポリシリコン膜 210a、204a が半導体基板 200 の主表面の上に残るからである。よって、ゲート電極 214 と後に形成されるフローティングゲートとの間にある主表面 236 の上のシリコン酸化膜 208 が露出した状態のままで、レジスト 216 はパターンニングされることになる。レジスト 216 をマスクとして、まずポリシリコン膜 210a を選択的にエッチング除去し、コントロールゲート 218 を形成する。

【0007】図 48 に示すように、レジスト 216 をマスクとして、次に ONO 膜 206 を選択的にエッチング除去する。このエッチングにより、露出しているシリコン酸化膜 208 もエッチングされ、ゲート電極 214 と後に形成されるフローティングゲートとの間にある主表面 236 が露出する。

【0008】図 49 に示すように、レジスト 216 をマスクとして、さらにポリシリコン膜 204a を選択的にエッチング除去し、フローティングゲート 220 を形成する。主表面 236 が露出しているので、このエッチングにより、主表面 236 もエッチングされ、主表面 236 に溝部 222 が不可避免的に形成される。レジスト 216 をマスクとして、次に半導体基板 200 の主表面にイオン注入し、記憶素子形成領域 234 にソース/ドレイン 224 及び溝部 222 にソース/ドレイン 224 と電気的に接続する不純物領域 226 を形成する。

【0009】図 50 に示すように、半導体基板 200 の主表面にシリコン酸化膜 228 を形成し、ソース/ドレイン 224 を露出させるコンタクトホール 238 をシリコン酸化膜 228 に形成する。

【0010】図 51 に示すように、シリコン酸化膜 228 の上にアルミ配線 230 を形成する。アルミ配線 230 はコンタクトホール 238 内にも形成され、ソース/ドレイン 224 と電気的に接続されている。記憶素子 242 は、コントロールゲート 218、フローティングゲート 220 及びソース/ドレイン 224 を備えている。セレクトゲートトランジスタ 244 は、ゲート電極 214 及びソース/ドレイン 240 を備えている。

【0011】

【発明が解決しようとする課題】図 51 を参照して、セレクトゲートトランジスタ 244 により記憶素子 242

を含む一群の記憶素子を選択作動させるために、セレクトゲートトランジスタ 244 のソース/ドレイン 240 と記憶素子 242 のソース/ドレイン 224 とは、溝部 222 に形成された不純物領域 226 を介して電気的に接続されている。ソース/ドレイン 240、不純物領域 226 及びソース/ドレイン 224 とで構成される配線領域は、溝部 222 で形状が変化している。この形状変化は、配線領域の拡散抵抗に大きな影響を及ぼす。その結果、記憶素子 242 への書き込み、消去及び読み出し速度が遅くなるという影響が生じる。

【0012】この発明は、かかる従来の課題を解決するためになされたものであり、半導体基板の主表面に溝部が形成されるを防ぐことができる不揮発性半導体記憶装置の製造方法及びその製造方法により製造された不揮発性半導体記憶装置を提供することを課題とする。

【0013】

【課題を解決するための手段】(1) この発明は、その主表面に記憶素子形成領域、選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域を含む半導体基板と、記憶素子形成領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを含む複数の記憶素子と、選択トランジスタ形成領域に形成され、第 1 のゲート絶縁膜及び第 1 のゲート電極を含む複数の選択トランジスタと、を備え、一個の選択トランジスタは、一個の記憶素子と組となり、かつ一個の記憶素子のみを選択作動させる機能を有し、さらに、主表面に形成され、記憶素子と選択トランジスタとを電気的に接続する第 1 の不純物領域と、セレクトゲートトランジスタ形成領域に形成され、複数の記憶素子を選択作動させ、かつ第 2 のゲート絶縁膜及び第 2 のゲート電極を含むセレクトゲートトランジスタと、を備えた不揮発性半導体記憶装置の製造方法であって、以下の工程を備える。

【0014】(a) 記憶素子形成領域にトンネル絶縁膜、選択トランジスタ形成領域に第 1 のゲート絶縁膜及びセレクトゲートトランジスタ形成領域に第 2 のゲート絶縁膜を形成する工程

(b) トンネル絶縁膜並びに第 1 及び第 2 のゲート絶縁膜の上に、第 1 の導電体膜を形成する工程

(c) 記憶素子形成領域にある第 1 の導電体膜の上に、誘電体膜となる絶縁膜を形成する工程

(d) 記憶素子形成領域にある絶縁膜の上並びに選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域にある第 1 の導電体膜の上に、第 2 の導電体膜を形成する工程

(e) 第 2 及び第 1 の導電体膜を選択的にエッチング除去して、第 2 の導電体膜を含むコントロールゲート及び第 1 の導電体膜を含むフローティングゲートの積層構造と、第 2 及び第 1 の導電体膜の積層構造を含む第 1 及び第 2 のゲート電極とを同時に形成する工程

(f) 主表面に、第1の不純物領域を形成し、記憶素子と選択トランジスタとを電氣的に接続させる工程。

【0015】選択トランジスタの第1のゲート電極は、第2及び第1の導電体膜を含む。記憶素子のコントロールゲートは、第2の導電体膜を含み、フローティングゲートは、第1の導電体膜を含む。よって、第1のゲート電極の厚みと、コントロールゲートの厚みとフローティングゲートの厚みとの和とは、同じである。さらに、第1のゲート電極とコントロールゲート及びフローティングゲートの積層構造とは、同時に形成している。従って、第1のゲート電極とフローティングゲートとの間にある半導体基板の主表面が過度にエッチングされることはない。溝部の形成を防ぐことができる。配線領域である第1の不純物領域には、溝部が原因となる形状変化がないので、記憶素子への書き込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0016】また、第1及び第2のゲート絶縁膜形成直後に、第1及び第2のゲート絶縁膜は第1の導電体膜で覆われる。よって、第1及び第2のゲート絶縁膜は、後工程（例えば、ONO膜エッチング）における洗浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上することができる。選択トランジスタとして、例えば、動作電圧が1.5～5Vの低耐圧トランジスタの場合、ゲート絶縁膜は薄膜（7～20nm）であるため、膜質要求は厳しい。よって、上記効果は低耐圧トランジスタの場合、特に有効である。

【0017】また、第1の導電体膜を、フローティングゲート並びに第1及び第2のゲート電極とし、トンネル絶縁膜並びに第1及び第2のゲート絶縁膜を同時に形成している。よって、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0018】(2) この発明に従う不揮発性半導体記憶装置の製造方法の好ましい一態様として、以下の工程がある。

【0019】(c) 工程は、選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域にある絶縁膜を選択的に除去し、選択トランジスタ形成領域及びセレクトゲートトランジスタ形成領域にある第1の導電体膜を露出する工程と、を備える。

【0020】(d) 工程は、第2の導電体膜が、露出した第1の導電体膜と接触するように形成する工程を備える。

【0021】(e) 工程の第1及び第2のゲート電極を形成する工程は、第1の導電体膜と第2の導電体膜とが接触した構造を形成する工程を備える。

【0022】(3) この発明に従う不揮発性半導体記憶装置の製造方法の好ましい他の態様として、以下の工程

がある。

【0023】主表面は、さらに第1の接続領域を含む。

【0024】(b) 工程は、第1の導電体膜を第1の接続領域に形成する工程を備える。

【0025】(c) 工程は、選択トランジスタ形成領域、セレクトゲートトランジスタ形成領域及び第1の接続領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、セレクトゲートトランジスタ形成領域及び第1の接続領域にある絶縁膜を選択的に除去し、セレクトゲートトランジスタ形成領域及び第1の接続領域にある第1の導電体膜を露出する工程と、を備える。

【0026】(d) 工程は、第2の導電体膜が、セレクトゲートトランジスタ形成領域において露出した第1の導電体膜と接触するように形成し、かつ第2の導電体膜を第1の接続領域に形成し、第1の接続領域で第1の導電体膜と第2の導電体膜とを電氣的に接続させる工程を備える。

【0027】(e) 工程の第1のゲート電極を形成する工程は、第1のゲート電極を構成する第2及び第1の導電体膜は、第1の接続領域で電氣的に接続され、選択トランジスタ形成領域に、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含む第1のゲート電極を形成する工程を備える。

【0028】(e) 工程の第2のゲート電極を形成する工程は、第1の導電体膜と第2の導電体膜とが接触した構造を形成する工程を備える。

【0029】(4) この発明に従う不揮発性半導体記憶装置の製造方法の好ましいさらに他の態様として、以下の工程がある。

【0030】主表面は、さらに第2の接続領域を含む。

【0031】(b) 工程は、第1の導電体膜を第2の接続領域に形成する工程を備える。

【0032】(c) 工程は、選択トランジスタ形成領域、セレクトゲートトランジスタ形成領域及び第2の接続領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、選択トランジスタ形成領域及び第2の接続領域にある絶縁膜を選択的に除去し、選択トランジスタ形成領域及び第2の接続領域にある第1の導電体膜を露出する工程と、を備える。

【0033】(d) 工程は、第2の導電体膜が、選択トランジスタ形成領域において露出した第1の導電体膜と接触するように形成し、かつ第2の導電体膜を第2の接続領域に形成し、第2の接続領域で第1の導電体膜と第2の導電体膜とを電氣的に接続させる工程を備える。

【0034】(e) 工程の第1のゲート電極を形成する工程は、第1の導電体膜と第2の導電体膜とが接触した構造を形成する工程を備える。

【0035】(e) 工程の第2のゲート電極を形成する工程は、第2のゲート電極を構成する第2及び第1の導電体膜は、第2の接続領域で電氣的に接続され、セレクト

トゲートトランジスタ形成領域に、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含む第2のゲート電極を形成する工程を備える。

【0036】(5) この発明に従う不揮発性半導体記憶装置の製造方法の好ましいさらに他の態様として、以下の工程がある。

【0037】主表面は、さらに第1の接続領域及び第2の接続領域を含む。

【0038】(b) 工程は、第1の導電体膜を第1の接続領域及び第2の接続領域に形成する工程を備える。

【0039】(c) 工程は、選択トランジスタ形成領域、セレクトゲートトランジスタ形成領域、第1の接続領域及び第2の接続領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、第1の接続領域及び第2の接続領域にある絶縁膜を選択的に除去し、第1の接続領域及び第2の接続領域にある第1の導電体膜を露出する工程と、を備える。

【0040】(d) 工程は、第2の導電体膜を第1の接続領域及び第2の接続領域に形成し、第1の接続領域及び第2の接続領域で第1の導電体膜と第2の導電体膜とを電気的に接続させる工程を備える。

【0041】(e) 工程の第1のゲート電極を形成する工程は、第1のゲート電極を構成する第2及び第1の導電体膜は、第1の接続領域で電気的に接続され、選択トランジスタ形成領域に、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含む第1のゲート電極を形成する工程を備える。

【0042】(e) 工程の第2のゲート電極を形成する工程は、第2のゲート電極を構成する第2及び第1の導電体膜は、第2の接続領域で電気的に接続され、セレクトゲートトランジスタ形成領域に、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含む第2のゲート電極を形成する工程を備える。

【0043】この態様において、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含む第1及び第2のゲート電極を形成しているため、コントロールゲート及びフローティングゲートの積層構造の形成工程と、第1及び第2のゲート電極の形成工程とが、全く同一となり、第1及び第2のゲート電極形成を簡易にできる。

【0044】(6) この発明に従う不揮発性半導体記憶装置の製造方法の好ましいさらに他の態様として、以下の工程がある。

【0045】主表面に、選択トランジスタとセレクトゲートトランジスタとを電気的に接続する第2の不純物領域を形成する工程を備える。選択トランジスタとセレクトゲートトランジスタとが、第2の不純物領域によって電気的に接続された構造の不揮発性半導体記憶装置に、この発明を適用すれば、上記と同様の理由により、第1のゲート電極と第2のゲート電極との間にある半導体基板の主表面が過度にエッチングされることはないので、

第2の不純物領域に溝部が形成されるのを防ぐことができる。配線領域である第2の不純物領域には、溝部が原因となる形状変化がないので、記憶素子への書き込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0046】(7) この発明は、その主表面に記憶素子形成領域及びセレクトゲートトランジスタ形成領域を含む半導体基板と、記憶素子形成領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを含む複数の記憶素子と、セレクトゲートトランジスタ形成領域に形成され、ゲート絶縁膜及びゲート電極を含み、複数の記憶素子を選択作動させるセレクトゲートトランジスタと、主表面に形成され、記憶素子とセレクトゲートトランジスタとを電気的に接続する不純物領域と、を備えた不揮発性半導体記憶装置の製造方法であって、以下の工程を備える。

【0047】(g) 記憶素子形成領域にトンネル絶縁膜及びセレクトゲートトランジスタ形成領域にゲート絶縁膜を形成する工程

(h) トンネル絶縁膜及びゲート絶縁膜の上に、第1の導電体膜を形成する工程

(i) 記憶素子形成領域にある第1の導電体膜の上に、誘電体膜となる絶縁膜を形成する工程

(j) 記憶素子形成領域にある絶縁膜の上及びセレクトゲートトランジスタ形成領域にある第1の導電体膜の上に、第2の導電体膜を形成する工程

(k) 第2及び第1の導電体膜を選択にエッチング除去して、第2の導電体膜を含むコントロールゲート及び第1の導電体膜を含むフローティングゲートの積層構造と、第2及び第1の導電体膜の積層構造を含むゲート電極とを同時に形成する工程

(l) フローティングゲートとゲート電極との間の主表面に、不純物領域を形成し、記憶素子とセレクトゲートトランジスタとを電気的に接続させる工程

セレクトゲートトランジスタのゲート電極は、第2及び第1の導電体膜を含む。記憶素子のコントロールゲートは、第2の導電体膜を含み、フローティングゲートは、第1の導電体膜を含む。よって、ゲート電極の厚みと、コントロールゲートの厚みとフローティングゲートの厚みとの和とは、同じである。さらに、ゲート電極と、コントロールゲート及びフローティングゲートの積層構造とは、同時に形成している。従って、ゲート電極とフローティングゲートとの間にある半導体基板の主表面が過度にエッチングされることはないため、溝部の形成を防ぐことができる。配線領域である不純物領域には、溝部が原因となる形状変化がないので、記憶素子への書き込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0048】また、ゲート絶縁膜形成直後に、ゲート絶縁膜は第1の導電体膜で覆われる。よって、ゲート絶縁

膜は、後工程（例えば、ONO膜エッチング）における洗浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上することができる。セレクトゲートトランジスタとして、例えば、低耐圧トランジスタの場合、ゲート絶縁膜は薄膜（7～20nm）であるため、膜質要求は厳しい。よって、上記効果は低耐圧トランジスタの場合、特に有効である。

【0049】また、第1の導電体膜を、フローティングゲート及びゲート電極とし、トンネル絶縁膜及びゲート絶縁膜を同時に形成している。よって、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0050】（8）この発明に従う不揮発性半導体記憶装置の製造方法の好ましい一態様として、以下の工程がある。

【0051】（i）工程は、セレクトゲートトランジスタ形成領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、セレクトゲートトランジスタ形成領域にある絶縁膜を選択的に除去し、セレクトゲートトランジスタ形成領域にある第1の導電体膜を露出する工程と、を備える。

【0052】（j）工程は、第2の導電体膜が、露出した第1の導電体膜と接触するように形成する工程を備える。

【0053】（k）工程のゲート電極を形成する工程は、第1の導電体膜と第2の導電体膜とが接触した構造を形成する工程を備える。

【0054】（9）この発明に従う不揮発性半導体記憶装置の製造方法の好ましい他の態様として、以下の工程がある。

【0055】主表面は、さらに接続領域を含む。

【0056】（h）工程は、第1の導電体膜を接続領域に形成する工程を備える。

【0057】（i）工程は、セレクトゲートトランジスタ形成領域及び接続領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、接続領域にある絶縁膜を選択的に除去し、接続領域にある第1の導電体膜を露出する工程と、を備える。

【0058】（j）工程は、第2の導電体膜を接続領域に形成し、接続領域で第1の導電体膜と第2の導電体膜とを電気的に接続させる工程を備える。

【0059】（k）工程のゲート電極を形成する工程は、ゲート電極を構成する第2及び第1の導電体膜は、接続領域で電気的に接続され、セレクトゲートトランジスタ形成領域に、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含むゲート電極を形成する工程を備える。

【0060】この態様において、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含むゲート電極を形成しているので、コントロールゲート及びフローティン

グゲートの積層構造の形成工程と、ゲート電極の形成工程とが、全く同一となり、ゲート電極形成を簡易にできる。

【0061】（10）この発明に従う不揮発性半導体記憶装置の製造方法の好ましいさらに他の態様として、以下の工程がある。

【0062】接続領域に、素子分離絶縁膜を形成する工程を備える。ゲート電極を構成する第2及び第1の導電体膜が、接続領域で電気的に接続される工程は、素子分離絶縁膜の上で行う。

【0063】この態様においては、ゲート電極を構成する第2及び第1の導電体膜の電気的接続は、素子分離絶縁膜の上で行っている。素子分離絶縁膜の上は、活性領域に比べ、面積的に余裕がある。よって素子分離絶縁膜の上において、第1の導電体膜の幅を大きくすることができる。従って、第1の導電体膜と第2の導電体膜とを電気的に接続されるために、第1の導電体膜の上の絶縁膜に、コンタクトホールを形成する際、マスク合わせに余裕ができる。

【0064】（11）この発明に従う不揮発性半導体記憶装置の製造方法の好ましいさらに他の態様として、NOR型、NAND型、DINOR型またはAND型である不揮発性半導体記憶装置に、この発明を適用する。

【0065】（12）この発明は、その主表面に記憶素子形成領域及び選択トランジスタ形成領域を含む半導体基板と、記憶素子形成領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを含む記憶素子と、選択トランジスタ形成領域に形成され、ゲート絶縁膜及びゲート電極を含む選択トランジスタと、を備え、一個の選択トランジスタは、一個の記憶素子と組となり、かつ一個の記憶素子のみを選択作動させる機能を有し、さらに、主表面に形成され、記憶素子と選択トランジスタとを電気的に接続する不純物領域と、を備えた不揮発性半導体記憶装置の製造方法であって、以下の工程を備える。

【0066】（m）記憶素子形成領域にトンネル絶縁膜、選択トランジスタ形成領域にゲート絶縁膜を形成する工程

（n）トンネル絶縁膜並びにゲート絶縁膜の上に、第1の導電体膜を形成する工程

（o）記憶素子形成領域にある第1の導電体膜の上に、誘電体膜となる絶縁膜を形成する工程

（p）記憶素子形成領域にある絶縁膜の上及び選択トランジスタ形成領域にある第1の導電体膜の上に、第2の導電体膜を形成する工程

（q）第2及び第1の導電体膜を選択的にエッチング除去して、第2の導電体膜を含むコントロールゲート及び第1の導電体膜を含むフローティングゲートの積層構造と、第2及び第1の導電体膜の積層構造を含むゲート電極とを同時に形成する工程

(r) 主表面に、不純物領域を形成し、記憶素子と選択トランジスタとを電気的に接続させる工程

選択トランジスタのゲート電極は、第2及び第1の導電体膜を含む。記憶素子のコントロールゲートは、第2の導電体膜を含み、フローティングゲートは、第1の導電体膜を含む。よって、ゲート電極の厚みと、コントロールゲートの厚みとフローティングゲートの厚みとの和とは、同じである。さらに、ゲート電極とコントロールゲート及びフローティングゲートの積層構造とは、同時に形成している。従って、ゲート電極とフローティングゲートとの間にある半導体基板の主表面が過度にエッチングされることはないので、溝部の形成を防ぐことができる。配線領域である不純物領域には、溝部が原因となる形状変化がないので、記憶素子への書き込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0067】また、ゲート絶縁膜形成直後に、ゲート絶縁膜は第1の導電体膜で覆われる。よって、ゲート絶縁膜は、後工程（例えば、ONO膜エッチング）における洗浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上することができる。選択トランジスタとして、例えば、動作電圧が1.5～5Vの低耐圧トランジスタの場合、ゲート絶縁膜は薄膜（7～20nm）であるため、膜質要求は厳しい。よって、上記効果は低耐圧トランジスタの場合、特に有効である。

【0068】また、第1の導電体膜を、フローティングゲート及びゲート電極とし、トンネル絶縁膜及びゲート絶縁膜を同時に形成している。よって、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0069】（13）この発明に従う不揮発性半導体記憶装置の製造方法の好ましい一態様として、以下の工程がある。

【0070】（o）工程は、選択トランジスタ形成領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、選択トランジスタ形成領域にある絶縁膜を選択的に除去し、選択トランジスタ形成領域にある第1の導電体膜を露出する工程と、を備える。

【0071】（p）工程は、第2の導電体膜が、露出した第1の導電体膜と接触するように形成する工程を備える。

【0072】（q）工程のゲート電極を形成する工程は、第1の導電体膜と第2の導電体膜とが接触した構造を形成する工程を備える。

【0073】（14）この発明に従う不揮発性半導体記憶装置の製造方法の好ましい他の態様として、以下の工程がある。

【0074】主表面は、さらに接続領域を含む。

【0075】（n）工程は、第1の導電体膜を接続領域に形成する工程を備える。

【0076】（o）工程は、選択トランジスタ形成領域

及び接続領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、接続領域にある絶縁膜を選択的に除去し、接続領域にある第1の導電体膜を露出する工程と、を備える。

【0077】（p）工程は、第2の導電体膜を接続領域に形成し、接続領域で第1の導電体膜と第2の導電体膜とを電気的に接続させる工程を備える。

【0078】（q）工程のゲート電極を形成する工程は、ゲート電極を構成する第2及び第1の導電体膜は、接続領域で電気的に接続され、選択トランジスタ形成領域に、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含むゲート電極を形成する工程を備える。

【0079】（15）この発明に従う不揮発性半導体記憶装置の製造方法の好ましいさらに他の態様として、コントロールゲート及びフローティングゲートの積層構造とゲート電極とは、隣接して形成され、不純物領域は、コントロールゲート及びフローティングゲートの積層構造とゲート電極との間に形成される不揮発性半導体記憶装置に、この発明を適用する。

【0080】（16）この発明は、その主表面に、記憶素子形成領域及び電界効果トランジスタ形成領域を含む半導体基板と、記憶素子形成領域に形成され、トンネル絶縁膜、フローティングゲート、誘電体膜及びコントロールゲートを含む記憶素子と、電界効果トランジスタ形成領域に形成され、ゲート絶縁膜及びゲート電極を含む電界効果トランジスタと、主表面に形成され、記憶素子と電界効果トランジスタとを電気的に接続する不純物領域と、を備えた不揮発性半導体記憶装置の製造方法であって、以下の工程を備える。

【0081】（s）記憶素子形成領域にトンネル絶縁膜及び電界効果トランジスタ形成領域にゲート絶縁膜を形成する工程

（t）トンネル絶縁膜及びゲート絶縁膜の上に、第1の導電体膜を形成する工程

（u）記憶素子形成領域にある第1の導電体膜の上に、誘電体膜となる絶縁膜を形成する工程

（v）記憶素子形成領域にある絶縁膜の上及び電界効果トランジスタ形成領域にある第1の導電体膜の上に、第2の導電体膜を形成する工程

（w）第2及び第1の導電体膜を選択的にエッチング除去して、第2の導電体膜を含むコントロールゲート及び第1の導電体膜を含むフローティングゲートの積層構造と、第2及び第1の導電体膜の積層構造を含むゲート電極とを同時に形成する工程

（x）フローティングゲートとゲート電極との間の主表面に、不純物領域を形成し、記憶素子と電界効果トランジスタとを電気的に接続させる工程

電界効果トランジスタのゲート電極は、第2及び第1の導電体膜を含む。記憶素子のコントロールゲートは、第2の導電体膜を含み、フローティングゲートは、第1の

導電体膜を含む。よって、ゲート電極の厚みと、コントロールゲートの厚みとフローティングゲートの厚みとの和とは、同じである。さらに、ゲート電極とコントロールゲート及びフローティングゲートの積層構造とは、同時に形成している。従って、ゲート電極とフローティングゲートとの間にある半導体基板の主表面が過度にエッチングされることはないので、溝部の形成を防ぐことができる。配線領域である不純物領域には、溝部が原因となる形状変化がないので、記憶素子への書き込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0082】また、ゲート絶縁膜形成直後に、ゲート絶縁膜は第1の導電体膜で覆われる。よって、ゲート絶縁膜は、後工程（例えば、ONO膜エッチング）における洗浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上することができる。電界効果トランジスタとして、例えば、動作電圧が1.5～5Vの低耐圧トランジスタの場合、ゲート絶縁膜は薄膜（7～20nm）であるため、膜質要求は厳しい。よって、上記効果は低耐圧トランジスタの場合、特に有効である。

【0083】また、第1の導電体膜を、フローティングゲート及びゲート電極とし、トンネル絶縁膜及びゲート絶縁膜を同時に形成している。よって、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0084】（17）この発明に従う不揮発性半導体記憶装置の製造方法の好ましい一態様として、以下の工程がある。

【0085】（u）工程は、電界効果トランジスタ形成領域にある第1の導電体膜の上に、絶縁膜を形成する工程と、電界効果トランジスタ形成領域にある絶縁膜を選択的に除去し、電界効果トランジスタ形成領域にある第1の導電体膜を露出する工程と、を備える。

【0086】（v）工程は、第2の導電体膜が、露出した第1の導電体膜と接触するように形成する工程を備える。

【0087】（w）工程のゲート電極を形成する工程は、第1の導電体膜と第2の導電体膜とが接触した構造を形成する工程を備える。

【0088】（18）この発明に従う不揮発性半導体記憶装置の製造方法の好ましい他の態様として、以下の工程がある。主表面は、さらに素子分離絶縁膜を含む。

【0089】（t）工程は、第1の導電体膜を素子分離絶縁膜上に形成する工程を備える。

【0090】（u）工程は、電界効果トランジスタ形成領域及び素子分離絶縁膜上にある第1の導電体膜の上に、絶縁膜を形成する工程と、素子分離絶縁膜上にある絶縁膜を選択的に除去し、素子分離絶縁膜上にある第1の導電体膜を露出する工程と、を備える。

【0091】（v）工程は、第2の導電体膜を素子分離絶縁膜上に形成し、素子分離絶縁膜上で第1の導電体膜

と第2の導電体膜とを電氣的に接続させる工程を備える。

【0092】（w）工程のゲート電極を形成する工程は、ゲート電極を構成する第2及び第1の導電体膜は、素子分離絶縁膜上で電氣的に接続され、電界効果トランジスタ形成領域に、間に絶縁膜を挟んだ第2及び第1の導電体膜の積層構造を含むゲート電極を形成する工程を備える。

【0093】この態様においては、ゲート電極を構成する第2及び第1の導電体膜の電氣的接続は、素子分離絶縁膜上で行っている。素子分離絶縁膜上は、活性領域に比べ、面積的に余裕がある。よって素子分離絶縁膜上において、第1の導電体膜の幅を大きくすることができる。従って、第1の導電体膜と第2の導電体膜とを電氣的に接続されるために、第1の導電体膜の上の絶縁膜に、コンタクトホールを形成する際、マスク合わせに余裕ができる。

【0094】（19）この発明に従う不揮発性半導体記憶装置の製造方法の好ましいさらに他の態様として、一個の電界効果トランジスタは、一個の記憶素子と組となり、かつ一個の記憶素子のみを選択作動させる選択トランジスタである。

【0095】（20）この発明に従う不揮発性半導体記憶装置の製造方法の好ましいさらに他の態様として、電界効果トランジスタは、複数の記憶素子を選択作動させるセレクトゲートトランジスタである。

【0096】（21）この発明は、情報の記憶を電荷の蓄積によりおこなう不揮発性半導体記憶装置であって、主表面を有する半導体基板と、主表面に設置され、トンネル絶縁膜、フローティングゲート、誘電体膜、コントロールゲートが積層された構造を有する記憶素子と、主表面であって、かつ記憶素子と隣接して設置され、第1のゲート絶縁膜、第1のゲート電極が積層された構造を有する電界効果トランジスタと、主表面であって、かつ記憶素子と電界効果トランジスタとの間に形成され、記憶素子と電界効果トランジスタとを電氣的に接続する不純物領域と、を備える。不純物領域は、記憶素子と電界効果トランジスタとが共有するソース／ドレインである。第1のゲート電極は、下層電極と上層電極とを積層した構造である。第1のゲート電極の厚みは、フローティングゲートの厚みとコントロールゲートの厚みとの和と同じである。

【0097】第1のゲート電極、例えば、低耐圧トランジスタのゲート電極が、下層電極と上層電極とを積層した構造、つまり2層の導電体膜から構成される。下層電極となる第1の導電体膜があるので、第2の導電体膜への不純物ドーピングの際の不純物の突き抜けを防止でき、第1のゲート絶縁膜の膜質向上及び第1のゲート電極直下の半導体基板不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半

導体記憶装置を実現できる。

【0098】また、下層電極及び上層電極として、ポリシリコン膜を用いた場合、第1のゲート絶縁膜の膜質特性要求（第1のゲート絶縁膜と下層電極との界面に起因）及び金属シリサイドの特性要求（上層電極と金属シリサイドとの界面に起因）に対し、それぞれ、下層ポリシリコン膜、上層ポリシリコン膜により独立に最適化できる。

【0099】さらに、電界効果トランジスタの第1のゲート電極の高さと、記憶素子の積層構造の高さが概ね同一となる。よって、その上に形成される層間絶縁膜の平坦性を向上させることができる。

（22）この発明に従う不揮発性半導体記憶装置の好ましい一態様として、下層電極と上層電極とが接触している構造がある。

【0100】（23）この発明に従う不揮発性半導体記憶装置の好ましい他の態様として、以下の構造がある。主表面は、さらに素子分離絶縁膜を有し、第1のゲート電極は、下層電極と上層電極との間に絶縁膜を挟んだ構造であり、下層電極と上層電極とは、第1のゲート電極が素子分離絶縁膜上に設置されている位置で電気的に接続されている。

【0101】この態様は、下層電極と上層電極との間に絶縁膜を挟んだ構造であり、この絶縁膜により上記した不純物の突き抜けをさらに防止でき、第1のゲート絶縁膜の膜質向上及び第1のゲート電極直下の半導体基板不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現できる。

【0102】また、下層電極と上層電極との間に絶縁膜を挟んだ構造であるため、電界効果トランジスタの第1のゲート電極の高さと、記憶素子の積層構造の高さとが同一となる。よって、その上に形成される層間絶縁膜の平坦性を向上させることができる。

【0103】（24）この発明に従う不揮発性半導体記憶装置の好ましいさらに他の態様として、以下の構造がある。一個の電界効果トランジスタは、一個の記憶素子と組となり、かつ一個の記憶素子のみを選択作動させる選択トランジスタである。

【0104】（25）この発明に従う不揮発性半導体記憶装置の好ましいさらに他の態様として、以下の構造がある。複数の記憶素子を選択作動させ、かつ第2のゲート絶縁膜及び第2のゲート電極が積層された構造を有するセレクトゲートトランジスタを備える。第2のゲート電極は、下層電極と上層電極とを積層した構造である。第2のゲート電極の厚みは、フローティングゲートの厚みとコントロールゲートの厚みとの和と同じである。

【0105】なお、この発明において、第1の導電体膜と第2の導電体膜とを電気的に接続するとは、例えば、絶縁膜にコンタクトホールを形成し、次に第2の導電体

膜を絶縁膜の上及びコンタクトホール内に形成し、第1の導電体膜と第2の導電体膜とを電気的に接続することを意味する。また、例えば、絶縁膜にコンタクトホールを形成し、コンタクトホール内に第3の導電体膜を埋め込み、第3の導電体膜によって、第1の導電体膜と第2の導電体膜とを電気的に接続することを意味する。

【0106】

【発明の実施の形態】この発明の第1～第4の実施形態は、一個の記憶素子と一個の選択トランジスタとが組となり、一個の選択トランジスタは、一個の記憶素子のみを選択作動させる不揮発性半導体記憶装置にこの発明を適用したものである。まず、一個の記憶素子と一個の選択トランジスタとが組となり、一個の選択トランジスタは、一個の記憶素子のみを選択作動させる不揮発性半導体記憶装置について、図3、4及び5を用いて説明する。図3は、このフラッシュメモリのメモリセル400の概略図である。メモリセル400は、選択トランジスタ401と記憶素子であるメモリトランジスタ402を有している。選択トランジスタ401は、ゲート401Aを有し、メモリトランジスタ402はフローティングゲート403とコントロールゲート404を有している。選択トランジスタ401は、NチャネルMOSFETであり、そのしきい値電圧は約0.7Vである。

【0107】メモリセル400をチャネルホットエレクトロンにより、プログラムするには、正のプログラム高電圧 V_{pp} 、例えば5～12Vを選択トランジスタ401のゲート401Aに、12Vをメモリトランジスタ402のコントロールゲート404に印加し、同時にメモリトランジスタ402のソース408を接地電位 V_{ss} に保持し、選択トランジスタ401のドレイン406に、正のプログラム用パルスを印加することで達成される。例えば、約5Vのプログラム用パルスを、100マイクロ秒印加する。図4において、メモリトランジスタ402のドレイン407（選択トランジスタ401のソースでもある）は、基板に高濃度ドーピング510をすることによって形成される。このドレインのイオン注入は、ドレイン407に近いチャネル領域511の部分の電界を強化する。これによって電子を加速し、電子が薄いトンネル膜を通過しフローティングゲート403へと移動する。電位エネルギー障壁を克服するに十分なほど活発な、高エネルギー電子の分布を生成する（例えばホットエレクトロン注入）。このドレイン407を高濃度にドーピングするイオン注入によって、プログラムの速度は一桁増加する。メモリトランジスタ402の幅が0.25～1.5 μm であるのに比較して、選択トランジスタ401の幅は典型的に、1.0～5.0 μm であるので、選択トランジスタ401は、印加されたドレインのパルス電圧の微小部分を使う。

【0108】メモリセル400の消去は、メモリトランジスタ402のソース408に5Vを印加し、その一方

で、コントロールゲート404を-7Vに保持することによって達成される。図4に示すトンネル酸化膜405に高電界が生じ、それによりフローティングゲート403に集まった電子が電位エネルギー障壁を克服し、トンネル酸化膜405を抜けて（例えば、ファウラーノルドハイムトンネルによって）メモリトランジスタ402のソース408へと移動する。消去中は、ゲート401Aには5~12Vの電圧が印加され、ドレイン406は浮遊状態に保たれている。

【0109】メモリトランジスタ402のソース408は、基板を高濃度にドーピング512することにより形成される。この高濃度ドーピングは、ジャンクションの絶縁破壊を増加させ、これによって消去中にフローティングゲートからの電子の移動を著しく加速する。このようにして、消去動作中にメモリトランジスタ402はそのしきい値電圧が負となる程度まで消去が進む。このため、メモリトランジスタ402はコントロールゲート404によってターンオフできない。しかしながら選択トランジスタ401は、この過剰消去がセルの作動に影響を与えることを防止する。具体的に言えば、選択トランジスタ401はフローティングゲートの状態によってコントロールされることがないので、選択トランジスタ401のしきい値電圧は約0.7Vに維持される。

【0110】上記のプログラム/消去動作以外にも、動作条件は様々に設定できる。例えば、プログラム、消去動作ともファウラーノルドハイムトンネリングによる場合には、以下のような条件でもよい。プログラム時には、コントロールゲートを-8V、ソースを浮遊状態、ドレインを8V、選択トランジスタのゲートを8Vとする。消去時には、コントロールゲートを8V、ソースを-8V、ドレインを浮遊状態、選択トランジスタのゲートを8Vとする。

【0111】図5は、メモリセル400A-400Dを含むメモリアレイ600の概略図を示す。それぞれのメモリセルはメモリセル400と同一である。セル400A、400Bの選択トランジスタ401のドレイン406は金属のドレインビットライン631に結合されており、セル400A、400Bのメモリトランジスタ402のソース408は金属ソースビットライン630に結合されている。メモリセル400Aとメモリセル400Dの選択トランジスタ401のゲート401Aは、ワード線520に結合されており、メモリセル400Aとメモリセル400Dのコントロールゲート404は、コントロールライン521に結合されている。

【0112】図5において、メモリセル400、例えばメモリセル400Aの読み出しを行うには、ワード線520を介してゲート401A、コントロールライン521を介してコントロールゲート404にそれぞれ標準電圧 V_{cc} （一般的には5V）を印加し、それと同時にドレインビットライン631につながれた従来のセンスアン

プ（図示せず）によってメモリセル400Aを流れる読み出し電流を検知することによって達成することができる。もしメモリセル400Aが消去された場合（すなわち、フローティングゲート403の電荷が0あるいは相対的に正となっている場合）、選択トランジスタ401とメモリトランジスタ402は両方ともターンオンされ、センスアンプによって検知することのできる電流が、メモリセル400A中を流れる。もし、メモリセル400Aがプログラムされる場合（すなわち、フローティングゲート402が相対的に負の電荷を持っている場合）は、メモリトランジスタ402のしきい値電圧が供給電圧 V_{cc} を上回るまで上昇し、それによってメモリセル400A中に電流が流れるのを防ぐ。

【0113】この構成によって、ドレインのビットラインの電圧を受けるセンスアンプは、ソースのビットライン630へのフィードバック電圧を発生する。それによって、読み取り作動中のソースのビットライン630の電圧を増加させる。このようにして、ドレインのビットライン631の電圧降下が減速される。そのため、このメモリセルアレイによれば、従来のメモリセルアレイに比較して、次の論理状態サイクル中に検知が行えるようビットラインが、元の状態に復帰する時間が著しく減少する。

【0114】メモリトランジスタ402をスケールアップする上で主な制限となるのは、パンチスルーに対する要求である。ドレイン407とフローティングゲート403の容量接合により、メモリトランジスタ402は典型的にドレイン407との結合によってターオンする。この容量接合はチャンネル長511（図4）のスケラビリティを制限し、それによって5Vプログラミング性能に要するプログラミングスピードが向上しないよう制限してしまう。具体的には、ドレイン407からフローティングゲート403への容量接合は、メモリトランジスタ402のパンチスルーに対する許容度を悪化させ、そのためメモリトランジスタ402のドレイン電圧を扱う能力を制限してしまう。フリンジング容量、すなわち平行面容量以外の容量、の強い効果によって容量接合の効果はメモリトランジスタ402のゲートライン幅には比例しない。従って、このドレイン接合の効果は構造が小さくなるほど支配的になり、選択トランジスタのない従来のEEPROMやフラッシュメモリにおいては、重大なスケールアップ上の制約となる。ところで、プログラミングの速度は、有効チャンネル長の逆数に対して指数的に増大する。

【0115】このメモリセルは、このスケールアップの問題を、メモリセル400中に選択トランジスタ401を挿入することによって解決している。このメモリセルによれば、プログラムモードにおけるメモリトランジスタ402のパンチスルーを除去するので、チャンネル長511をスケールすることができる。このスケラビリティ

によって、チャネル長 511 を短くすることができ、これにより、従来に比較して、メモリセルのプログラミング速度を著しく向上することができる。さらに、ドレイン 407 にドーピングを施すことにより、メモリセル 400 は 5 V でのプログラム性能を十分に達成することができる。

【0116】第 1～第 4 の実施形態では、メモリトランジスタと選択トランジスタとの間の不純物層、又はメモリトランジスタとセレクトゲートトランジスタとの間の不純物層に溝部が形成されるのを防いでいる。

【0117】（第 1 の実施形態）

（構造の説明）図 1 は、この発明に従う不揮発性半導体記憶装置の製造方法の第 1 の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。図 2 は、図 1 の平面図である。図 6 は、図 1 に示す不揮発性半導体記憶装置の等価回路図である。図 1、2 および 6 を参照して、半導体基板の一例であるシリコン基板 10 の主表面には、セレクトゲートトランジスタ 42、選択トランジスタ 44、第 1 メモリトランジスタ 48、第 2 メモリトランジスタ 50、選択トランジスタ 46 が形成されている。第 1 メモリトランジスタ 48 は、記憶素子の一例である。図 6 に示すように、セレクトゲートトランジスタ 42 によって、第 1 メモリトランジスタ 48～第 n メモリトランジスタ 53 からなる一群のメモリトランジスタを選択作動させる。選択トランジスタ 44 は、第 1 メモリトランジスタ 48 のみを選択作動し、選択トランジスタ 46 は、第 2 メモリトランジスタ 50 のみを選択作動させる。

【0118】ワード線 WL_1 は、第 1 メモリトランジスタ 48 のゲート配線と選択トランジスタ 44 のゲート配線とから構成される。ワード線 WL_2 は、第 2 メモリトランジスタ 50 のゲート配線と選択トランジスタ 46 のゲート配線とから構成される。ワード線 WL_n は、第 n メモリトランジスタ 53 のゲート配線と選択トランジスタのゲート配線とから構成される。

【0119】次に図 1 を用いて、断面構造を詳細に説明する。その主表面に記憶素子形成領域 23、選択トランジスタ形成領域 25 及びセレクトゲートトランジスタ形成領域 27 を含むシリコン基板 10 には、p 型ウェル 12 が形成されている。p 型ウェル 12 中には、n 型の不純物領域 14、16、18、20 及び 22 が間隔を設けて形成されている。不純物領域 16 が第 1 の不純物領域の一例である。不純物領域 14 が第 2 の不純物領域の一例である。セレクトゲートトランジスタ形成領域 27 には、セレクトゲートトランジスタ 42 が形成されている。セレクトゲートトランジスタ 42 は、第 2 のゲート絶縁膜の一例であるゲート酸化膜 26 及び第 2 のゲート電極の一例であるゲート電極 36 を含む。ゲート電極 36 は、ポリシリコン膜 68 及び 64 の積層構造をしている。ポリシリコン膜 68 は、第 2 の導電体膜の一例であ

る。第 2 の導電体膜の他の例として、例えば、ポリシリコン膜と、その上に形成された WSi_2 、 $MoSi_2$ 、 $CoSi_2$ 等の金属シリサイド膜と、を含む積層構造がある。ポリシリコン膜 64 は、第 1 の導電体膜の一例である。ゲート電極 36 は、フィールド酸化膜 24 の上に乗り上げている。

【0120】選択トランジスタ形成領域 25 には、選択トランジスタ 44 が形成されている。選択トランジスタ 44 は、第 1 のゲート絶縁膜の一例であるゲート酸化膜 28 及び第 1 のゲート電極の一例であるゲート電極 38 を含む。ゲート電極 38 は、ポリシリコン膜 68 及び 64 の積層構造をしている。不純物領域 14 は、セレクトゲートトランジスタ 42 および選択トランジスタ 44 のソース/ドレインである。不純物領域 14 によって、セレクトゲートトランジスタ 42 と選択トランジスタ 44 とは電氣的に接続されている。

【0121】記憶素子形成領域 23 には、第 1 メモリトランジスタ 48 が形成されている。第 1 メモリトランジスタ 48 は、トンネル絶縁膜の一例であるトンネル酸化膜 32、フローティングゲート 52、ONO 膜 54a 及びコントロールゲート 56 を含む。不純物領域 16 は、選択トランジスタ 44 及び第 1 メモリトランジスタ 48 のソース/ドレインである。不純物領域 16 によって、選択トランジスタ 44 と第 1 メモリトランジスタ 48 とは電氣的に接続されている。第 1 メモリトランジスタ 48 の隣には、第 2 メモリトランジスタ 50 が形成されている。第 2 メモリトランジスタ 50 は、トンネル酸化膜 34、フローティングゲート 58、ONO 膜 54b 及びコントロールゲート 62 を含む。不純物領域 18 は、第 1 メモリトランジスタ 48 及び第 2 メモリトランジスタ 50 のソース/ドレインである。不純物領域 18 によって、第 1 メモリトランジスタ 48 と第 2 メモリトランジスタ 50 とは電氣的に接続されている。第 2 メモリトランジスタ 50 の隣には、選択トランジスタ 46 が形成されている。選択トランジスタ 46 は、ゲート酸化膜 30 及びゲート電極 40 を含む。ゲート電極 40 は、ポリシリコン膜 68 及び 64 の積層構造をしている。不純物領域 20 は、第 2 メモリトランジスタ 50 及び選択トランジスタ 46 のソース/ドレインである。不純物領域 20 によって、第 2 メモリトランジスタ 50 と選択トランジスタ 46 とは電氣的に接続されている。上記したゲート電極 36、38、40 を構成するポリシリコン膜 68 が上層電極の一例であり、ポリシリコン膜 64 が下層電極の一例である。

【0122】セレクトゲートトランジスタ 42、選択トランジスタ 44、第 1 メモリトランジスタ 48、第 2 メモリトランジスタ 50 及び選択トランジスタ 46 を覆うように、シリコン基板 10 の主表面には、層間絶縁膜の一例であるシリコン酸化膜 66 が形成されている。層間絶縁膜の他の例としては、PSG 膜や BPSG 膜を単独

に用いたものがある。また、PSG膜、BPSG膜及びシリコン酸化膜を組み合わせた多層のものを層間絶縁膜としてもよい。シリコン酸化膜66には、不純物領域14に到達するコンタクトホール76、不純物領域18に到達するコンタクトホール80及び不純物領域22に到達するコンタクトホール82が形成されている。シリコン酸化膜66の上には、アルミ配線70、72及び74が形成されている。アルミ配線70は、コンタクトホール76内にも形成され、不純物領域14と電氣的に接続されている。アルミ配線72は、コンタクトホール80内にも形成され、不純物領域18と電氣的に接続されている。アルミ配線74は、コンタクトホール82内にも形成され、不純物領域22と電氣的に接続されている。なおアルミ配線の代わりに、アルミニウムに銅などを含むアルミ合金配線でもよい。また、バリアメタル（例えばTi、TiN）とアルミ合金と反射防止膜（例えばTiN）との積層構造からなる配線でもよい。

【0123】次に、図2を用いて平面構造を説明する。図2を矢印A方向から切断した断面図が図1である。活性領域29が横方向に形成されている。活性領域29と直交するように、セレクトゲートトランジスタ42、アルミ配線70、WL₁、アルミ配線72、WL₂及びアルミ配線74が形成されている。

【0124】（製造工程の説明）次に、この発明に従う不揮発性半導体記憶装置の製造方法の第1の実施形態を説明する。図7を参照して、p型のシリコン基板10の主表面に、p型の不純物、例えばホウ素を拡散させてp型ウェル12を形成する。シリコン基板10の主表面に、選択酸化法によってフィールド酸化膜24を形成する。シリコン基板10の主表面に、例えば熱酸化法によって、シリコン酸化膜21を形成する。シリコン酸化膜21は、トンネル酸化膜及びゲート酸化膜となる。シリコン基板10の主表面の全面に、例えばCVD法を用いてポリシリコン膜を形成し、これにリンや砒素を拡散してn型のポリシリコン膜64を形成する。なお、ポリシリコン膜をn型にする他の方法としては、ポリシリコン膜形成後、リンや砒素をイオン注入する方法がある。また、ポリシリコン膜形成後、塩化ホスホリン（POCl₃）を含んだキャリアガスを導入する方法がある。さらに、ポリシリコン膜を形成するときに、ホスホリン（PH₃）を含んだキャリアガスを導入する方法がある。

【0125】次に、記憶素子形成領域23、選択トランジスタ形成領域25及びセレクトゲートトランジスタ形成領域27を覆うように、ポリシリコン膜64の上にONO膜54を形成する。ONO膜54のO膜の部分は、例えば熱酸化法やCVD法により形成される。N膜の部分は例えば、CVD法により形成される。ONO膜54の上に、レジスト60を形成し、記憶素子形成領域23の上にレジスト60が位置するようにパターニングを施す。

【0126】図8を参照して、レジスト60をマスクとして、ONO膜54を選択的にエッチング除去する。すなわち、記憶素子形成領域23の上に、ONO膜54を残し、選択トランジスタ形成領域25及びセレクトゲートトランジスタ形成領域27から、ONO膜54を除去する。

【0127】図9を参照して、ポリシリコン膜64の形成と同様の方法を用いて、シリコン基板10の主表面全面に、ポリシリコン膜68を形成する。ポリシリコン膜68は、記憶素子形成領域23では、ONO膜54の上に位置している。また、選択トランジスタ形成領域25及びセレクトゲートトランジスタ形成領域27では、ポリシリコン膜68は、露出したポリシリコン膜64の上に位置しており、ポリシリコン膜68とポリシリコン膜64とは接触している。そしてポリシリコン膜68の上にレジスト84を形成し、レジスト84に所定のパターニングを施す。

【0128】図10を参照して、レジスト84をマスクとして、ポリシリコン膜68及びポリシリコン膜64を選択的にエッチング除去し、ゲート電極36、ゲート電極38、コントロールゲート56、ONO膜54a、フローティングゲート52の積層構造、コントロールゲート62、ONO膜54b、フローティングゲート58の積層構造、ゲート電極40を同時に形成する。

【0129】図11を参照して、レジスト84を除去する。そして、ゲート電極36、ゲート電極38、コントロールゲート56及びフローティングゲート52の積層構造、コントロールゲート62及びフローティングゲート58の積層構造、ゲート電極40をマスクとして、シリコン基板10のp型ウェル12中に、リンや砒素をイオン注入し、不純物領域14、16、18、20及び22を形成する。

【0130】図1を参照して、シリコン基板10の主表面全面に、例えばCVD法を用いてシリコン酸化膜66を形成する。そしてシリコン酸化膜66を選択的にエッチング除去し、不純物領域14に到達するコンタクトホール76、不純物領域18に到達するコンタクトホール80、不純物領域22に到達するコンタクトホール82を形成する。次に、シリコン酸化膜66の上及びコンタクトホール76、80、82の内部に、例えばスパッタリング法を用いてアルミニウムを形成する。このアルミニウムに所定のパターニングを施すことにより、不純物領域14と電氣的に接続するアルミ配線70、不純物領域18と電氣的に接続するアルミ配線72、不純物領域22と電氣的に接続するアルミ配線74を形成する。

【0131】（効果の説明）以上説明したように、セレクトゲートトランジスタ42のゲート電極36、選択トランジスタ44のゲート電極38、選択トランジスタ46のゲート電極40は、ポリシリコン膜68及びポリシリコン膜64を含む。第1メモリトランジスタ48のコ

ントロールゲート56は、ポリシリコン膜68を含み、フローティングゲート52はポリシリコン膜64を含む。また、第2メモリトランジスタ50のコントロールゲート62はポリシリコン膜68を含み、フローティングゲート58はポリシリコン膜64を含む。よって、ゲート電極36、38、40の厚みと、コントロールゲート56、62の厚みとフローティングゲート52、58の厚みとの和とは、同じである。さらに、ゲート電極36、38、40とコントロールゲート56、62及びフローティングゲート52、58の積層構造とは、同時に形成している。従って、不純物領域14、16、20、22が形成されるシリコン基板10の主表面が過度にエッチングされることはないので、溝部の形成を防ぐことができる。不純物領域14、16、20、22には、溝部が原因となる形状変化がないので、第1、第2メモリトランジスタ48、50への書込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0132】また、ゲート酸化膜26、28、30形成直後に、ゲート酸化膜26、28、30はポリシリコン膜64で覆われる。よって、ゲート酸化膜26、28、30は、後工程（例えば、ONO膜エッチング）における洗浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上させることができる。

【0133】また、図7に示すように、トンネル酸化膜32、34、ゲート酸化膜26、28、30となるシリコン酸化膜21を形成している。よって、トンネル酸化膜32、34及びゲート酸化膜26、28、30を同時に形成しているので、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0134】第1の実施形態により製造された不揮発性半導体記憶装置は、以下の効果を有する。ゲート電極36、38、40は、ポリシリコン膜64とポリシリコン膜68とを積層した構造、つまり2層のポリシリコン膜から構成される。ポリシリコン膜64があるので、ポリシリコン膜68への不純物ドーピングの際の不純物の突き抜けを防止でき、ゲート酸化膜26、28、30の膜質向上及びゲート電極36、38、40直下のシリコン基板10の不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現できる。

【0135】また、ゲート電極36、38、40の下層電極及び上層電極として、ポリシリコン膜を用いているので、ゲート酸化膜26、28、30の膜質特性要求（ゲート酸化膜26、28、30と下層電極との界面に起因）及び金属シリサイドの特性要求（上層電極と金属シリサイドとの界面に起因）に対し、それぞれ、ポリシリコン膜64、ポリシリコン膜68により独立に最適化できる。

【0136】さらに、ゲート電極36、38、40の高

さと、第1、第2メモリトランジスタ48、50の積層構造の高さとが概ね同一となる。よって、その上に形成される層間絶縁膜の平坦性を向上させることができる

（第2の実施形態）

（構造の説明）図12は、この発明に従う不揮発性半導体記憶装置の製造方法の第2の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。図13は、図12の平面図であり、矢印A方向から切断した断面図が図12である。図14は、図13を矢印B方向から切断した断面図である。図11及び図12に示す構造と同一の部分については、同一の符号を用いる。第2の実施形態により製造された不揮発性半導体記憶装置と第1の実施形態により製造された不揮発性半導体記憶装置との違いは、以下の通りである。

【0137】まず、図12を参照して、ゲート電極36、38、40は、ポリシリコン膜68及びポリシリコン膜64の積層構造を含む。ポリシリコン膜68とポリシリコン膜64との間に、絶縁膜であるONO膜54がある。ゲート電極36を構成するポリシリコン膜68とポリシリコン膜64とは、第2の接続領域33であるフィールド酸化膜24上で、コンタクトホール86を用いることにより電氣的に接続されている。第2の接続領域33の上に位置するシリコン酸化膜66には、ポリシリコン膜68に到達するコンタクトホール94が形成されている。シリコン酸化膜66の上には、アルミ配線96が形成されており、アルミ配線96とポリシリコン膜68とは、コンタクトホール94内に充填されたアルミニウムによって電氣的に接続されている。

【0138】図13及び14を参照して、選択トランジスタ44のゲート電極38を構成するポリシリコン膜68とポリシリコン膜64とは、第1の接続領域35にあるフィールド酸化膜90の上で、コンタクトホール104を用いることにより電氣的に接続されている。第1の接続領域35の上に位置するシリコン酸化膜66には、ポリシリコン膜68に到達するコンタクトホール98が設けられている。シリコン酸化膜66の上には、アルミ配線100が形成されている。アルミ配線100とポリシリコン膜68とは、コンタクトホール98内に充填されたアルミニウムによって電氣的に接続されている。

【0139】（製造工程の説明）次に、この発明に従う不揮発性半導体記憶装置の製造方法の第2の実施形態を説明する。以下、図15～図19の（a）は、図13に示す構造を矢印A方向に沿って切断した断面の工程図を示すものであり、（b）は矢印B方向に沿って切断した断面の工程図を示す。

【0140】図15を参照して、ONO膜54形成までの工程は、第1の実施形態と同じである。ONO膜54の上に、レジスト102を形成する。記憶素子形成領域23、選択トランジスタ形成領域25及びセレクトゲートトランジスタ形成領域27を覆い、第1の接続領域3

5及び第2の接続領域33に開口部ができるように、レジスト102にパターンニングを施す。

【0141】図16を参照して、レジスト102をマスクとして、ONO膜54を選択的にエッチング除去し、第2の接続領域33においてポリシリコン膜64を露出させるコンタクトホール86及び第1の接続領域35においてポリシリコン膜64を露出させるコンタクトホール104を形成する。

【0142】図17を参照して、第1の実施形態と同じ方法で、ONO膜54の上にポリシリコン膜68を形成する。ポリシリコン膜68は、コンタクトホール86、104内にも形成され、これによりポリシリコン膜64とポリシリコン膜68とが電氣的に接続される。そしてポリシリコン膜68の上にレジスト106を形成し、レジスト106に所定のパターンニングを施す。

【0143】図18を参照して、レジスト106をマスクとして、ポリシリコン膜68及びポリシリコン膜64を選択的にエッチング除去し、ゲート電極36、ゲート電極38、コントロールゲート56、ONO膜54a、フローティングゲート52の積層構造、コントロールゲート62、ONO膜54b、フローティングゲート58の積層構造、ゲート電極40を同時に形成する。

【0144】図19を参照して、レジスト106を除去する。そして、ゲート電極36、ゲート電極38、コントロールゲート56及びフローティングゲート52の積層構造、コントロールゲート62及びフローティングゲート58の積層構造、ゲート電極40をマスクとして、シリコン基板10のp型ウェル12中に、リンや砒素をイオン注入し、不純物領域14、16、18、20及び22を形成する。

【0145】図12及び図14を参照して、シリコン基板10の主表面全面に、例えばCVD法を用いてシリコン酸化膜66を形成する。そしてシリコン酸化膜66を選択的にエッチング除去し、不純物領域14に到達するコンタクトホール76、不純物領域18に到達するコンタクトホール80、不純物領域22に到達するコンタクトホール82、ポリシリコン膜68に到達するコンタクトホール94、98を形成する。次に、シリコン酸化膜66の上及びコンタクトホール76、80、82、94、98の内部に、例えばスパッタリング法を用いてアルミニウムを形成する。このアルミニウムに所定のパターンニングを施すことにより、不純物領域14と電氣的に接続するアルミ配線70、不純物領域18と電氣的に接続するアルミ配線72、不純物領域22と電氣的に接続するアルミ配線74、ポリシリコン膜68と電氣的に接続するアルミ配線96、100を形成する。

【0146】(効果の説明)第2の実施形態において、間にONO膜54を挟んだポリシリコン膜64、68の積層構造を含むゲート電極36、38、40を形成しているため、コントロールゲート56、62及びフローテ

ィングゲート52、58の積層構造の形成工程と、ゲート電極36、38、40の形成工程とが、全く同一となり、ゲート電極36、38、40形成を簡易にできる。

【0147】また、第1の実施形態と同じ理由により、第2の実施形態は、不純物領域14、16、20、22が形成されるシリコン基板10の主表面が過度にエッチングされることはないため、溝部の形成を防ぐことができる。不純物領域14、16、20、22には、溝部が原因となる形状変化がないため、第1、第2メモリトランジスタ48、50への書き込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0148】また、第1の実施形態と同じ理由により、第2の実施形態は、トンネル酸化膜32、34及びゲート酸化膜26、28、30を同時に形成しているため、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0149】また、第1の実施形態と同じ理由により、第2の実施形態は、ゲート酸化膜26、28、30は、後工程(例えば、ONO膜エッチング)における洗浄液やプラズマ(Process Induced Charge)に曝されないため、その膜質を向上することができる。

【0150】第2の実施形態により製造された不揮発性半導体記憶装置は、以下の効果を有する。ゲート電極36、38、40の下層電極と上層電極との間にONO膜54を挟んだ構造である。このONO膜54によりポリシリコン膜68への不純物ドーピングの際の不純物の突き抜けをさらに防止でき、ゲート酸化膜26、28、30の膜質向上及びゲート電極36、38、40直下のシリコン基板10不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現できる。

【0151】また、下層電極と上層電極との間にONO膜54を挟んだ構造であるため、ゲート電極36、38、40の高さと、第1、第2メモリトランジスタ48、50の積層構造の高さとが同一となる。よって、その上に形成されるシリコン酸化膜66の平坦性を向上させることができる。

【0152】また、第1の実施形態により製造された不揮発性半導体記憶装置と同じ理由により、ゲート酸化膜26、28、30の膜質特性要求(ゲート酸化膜26、28、30と下層電極との界面に起因)及び金属シリサイドの特性要求(上層電極と金属シリサイドとの界面に起因)に対し、それぞれ、ポリシリコン膜64、ポリシリコン膜68により独立に最適化できる。

【0153】(第3の実施形態)

(構造の説明)図20は、この発明に従う不揮発性半導体記憶装置の製造方法の第3の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。図21は、図20の平面図であり、矢印A方向から切断した断

面図が図20である。第3の実施形態により製造された不揮発性半導体記憶装置の特徴は、セレクトゲートトランジスタ42のゲート電極36は、ポリシリコン膜68とポリシリコン膜64との間にONO膜54が挟まれた構造であり、かつ選択トランジスタ44、46のゲート電極38、40は、ポリシリコン膜68とポリシリコン膜64とが接触した構造である。上記の構成以外は、図12及び図13に示す第2の実施形態により製造された不揮発性半導体記憶装置の構造と同じなので、同一の符号を用いることによりその説明を省略する。

【0154】（製造工程の説明）第3の実施形態は、図16に示す第2の実施形態において、選択トランジスタ形成領域25上のONO膜54をエッチング除去する点が特徴である。それ以外の工程は、第2の実施形態と同じなので説明を省略する。

【0155】（効果の説明）第1の実施形態と同じ理由により、第3の実施形態は、不純物領域14、16、20、22が形成されるシリコン基板10の主表面が過度にエッチングされることはないので、溝部の形成を防ぐことができる。不純物領域14、16、20、22には、溝部が原因となる形状変化がないので、第1、第2メモリトランジスタ48、50への書込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0156】また、第1の実施形態と同じ理由により、第3の実施形態は、トンネル酸化膜32、34及びゲート酸化膜26、28、30を同時に形成しているため、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0157】また、第1の実施形態と同じ理由により、第3の実施形態は、ゲート酸化膜26、28、30は、後工程（例えば、ONO膜エッチング）における洗浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上することができる。

【0158】第1の実施形態により製造された不揮発性半導体記憶装置と同じ理由により、ポリシリコン膜68への不純物ドーピングの際の不純物の突き抜けを防止でき、ゲート酸化膜26、28、30の膜質向上及びゲート電極36、38、40直下のシリコン基板10の不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現できる。

【0159】また、第1の実施形態により製造された不揮発性半導体記憶装置と同じ理由により、ゲート酸化膜26、28、30の膜質特性要求（ゲート酸化膜26、28、30と下層電極との界面に起因）及び金属シリサイドの特性要求（上層電極と金属シリサイドとの界面に起因）に対し、それぞれ、ポリシリコン膜64、ポリシリコン膜68により独立に最適化できる。

【0160】さらに、ゲート電極36、38、40の高

さと、第1、第2メモリトランジスタ48、50の積層構造の高さとが概ね同一となる。よって、その上に形成されるシリコン酸化膜66の平坦性を向上させることができる。

（第4の実施形態）

（構造の説明）図22は、この発明に従う不揮発性半導体記憶装置の製造方法の第4の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。図23は、図22の平面図であり、矢印A方向から切断した断面図が図22である。図24は、図23を矢印B方向から切断した断面図である。第4の実施形態により製造された不揮発性半導体記憶装置の特徴は、セレクトゲートトランジスタ42のゲート電極36が、ポリシリコン膜68とポリシリコン膜64とが接触した構造であり、かつ選択トランジスタ44、46のゲート電極38、40は、ポリシリコン膜68とポリシリコン膜64との間にONO膜54が挟まれた構造である。これ以外の構造は、第2の実施形態により製造された不揮発性半導体記憶装置の構造と同じなので、同一符号を用いることによりその説明を省略する。

【0161】（製造工程の説明）第4の実施形態の特徴は、図16に示す第2の実施形態において、セレクトゲートトランジスタ形成領域27から第2の接続領域33にかけてONO膜54をエッチング除去した点である。

【0162】（効果の説明）第1の実施形態と同じ理由により、第4の実施形態は、不純物領域14、16、20、22が形成されるシリコン基板10の主表面が過度にエッチングされることはないので、溝部の形成を防ぐことができる。不純物領域14、16、20、22には、溝部が原因となる形状変化がないので、第1、第2メモリトランジスタ48、50への書込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0163】また、第1の実施形態と同じ理由により、第4の実施形態は、トンネル酸化膜32、34及びゲート酸化膜26、28、30を同時に形成しているため、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0164】また、第1の実施形態と同じ理由により、第4の実施形態は、ゲート酸化膜26、28、30は、後工程（例えば、ONO膜エッチング）における洗浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上することができる。

【0165】第1の実施形態により製造された不揮発性半導体記憶装置と同じ理由により、ポリシリコン膜68への不純物ドーピングの際の不純物の突き抜けを防止でき、ゲート酸化膜26、28、30の膜質向上及びゲート電極36、38、40直下のシリコン基板10の不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現で

きる。

【0166】また、第1の実施形態により製造された不揮発性半導体記憶装置と同じ理由により、ゲート酸化膜26、28、30の膜質特性要求（ゲート酸化膜26、28、30と下層電極との界面に起因）及び金属シリサイドの特性要求（上層電極と金属シリサイドとの界面に起因）に対し、それぞれ、ポリシリコン膜64、ポリシリコン膜68により独立に最適化できる。

【0167】さらに、ゲート電極36、38、40の高さと、第1、第2メモリトランジスタ48、50の積層構造の高さが概ね同一となる。よって、その上に形成されるシリコン酸化膜66の平坦性を向上させることができる次に、第5及び第6の実施形態について説明する。第5及び第6の実施形態を用いて製造する不揮発性半導体記憶装置は、1個のメモリトランジスタのみを選択作動させる選択トランジスタは有さず、複数のメモリトランジスタを選択作動させるセレクトゲートトランジスタのみを有する構造である。まず、このような構造の不揮発性半導体記憶装置について簡単に説明する。

【0168】図25は、NOR型の等価回路図である。メモリトランジスタが行列状に配置されている。SGが、セレクトゲートトランジスタを示している。例えば、セレクトゲートトランジスタ140が、列方向に並ぶ第1メモリトランジスタ138、第2メモリトランジスタ136等からなる一群のメモリトランジスタを選択作動させる。セレクトゲートトランジスタとワードライン(WL₁)に電気的に接続されているメモリトランジスタとは、矢印Aで示す不純物領域で電気的に接続されている。

【0169】図26は、NAND型の等価回路図である。SGがセレクトゲートトランジスタを示している。例えば、セレクトゲートトランジスタ140が、列方向に並ぶ第1メモリトランジスタ138、第2メモリトランジスタ136等からなる一群のメモリトランジスタを選択作動させる。セレクトゲートトランジスタとワードライン(WL₁)に電気的に接続されたメモリトランジスタ及びセレクトゲートトランジスタとワードライン(WL₂)に電気的に接続されたメモリトランジスタとは、矢印Aで示す不純物領域で電気的に接続されている。

【0170】図27は、DINOR型の等価回路図である。SL₀、SL₁がセレクトゲートトランジスタを示している。例えばセレクトゲートトランジスタ140が、列方向に並んだ第1メモリトランジスタ138、第2メモリトランジスタ136等からなる一群のメモリトランジスタを選択作動させる。セレクトゲートトランジスタ(SL₁)と、ワードライン(WL₁)が電気的に接続されているメモリトランジスタとは、矢印Aで示す不純物領域で電気的に接続されている。また、セレクトゲートトランジスタ(SL₀)とワードライン(WL₁)が電気

的に接続されたメモリトランジスタとは、同様に矢印Aで示す不純物領域で電気的に接続されている。

【0171】図28は、AND型の等価回路図である。SGで示すセレクトゲートトランジスタ、例えばセレクトゲートトランジスタ140が、列方向に並んだ第1メモリトランジスタ138などからなる一群のメモリトランジスタを選択作動させる。セレクトゲートトランジスタ(SG)とワードライン(WL₂)が電気的に接続されたメモリトランジスタとは、矢印Aで示す不純物領域で電気的に接続されている。

【0172】第5及び第6の実施形態では、図25～図28の矢印Aで示す不純物領域に溝部が形成されるのを防いでいる。

【0173】（第5の実施形態）

（構造の説明）図29は、この発明に従う不揮発性半導体記憶装置の製造方法の第5の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。図30は、図29で示す構造の平面図である。図30を矢印A方向から切断した断面図が図29である。

【0174】まず、図29を用いて、断面構造を説明する。シリコン基板120には、p型ウェル122が形成されている。p型ウェル122中には、n型の不純物領域124、126、128、130が間隔を設けて形成されている。シリコン基板120の主表面のセレクトゲートトランジスタ形成領域188には、電界効果トランジスタの一例であるセレクトゲートトランジスタ140が形成されている。セレクトゲートトランジスタ140は、ゲート絶縁膜の一例であるゲート酸化膜166及びゲート電極164を含む。ゲート電極164は、ポリシリコン膜152及び144の積層構造をしている。ポリシリコン膜152は、第2の導電体膜の一例である。第2の導電体膜の他の例として、例えば、ポリシリコン膜と、その上に形成されたWSi₂、MoSi₂、CoSi₂等の金属シリサイド膜と、を含む積層構造がある。ポリシリコン膜144は、第1の導電体膜の一例である。ゲート電極164は、フィールド酸化膜132の上に乗りに乗っている。

【0175】シリコン基板120の主表面の記憶素子形成領域186には、記憶素子の一例である第1メモリトランジスタ138が形成されている。第1メモリトランジスタ138は、トンネル絶縁膜の一例であるトンネル酸化膜168、フローティングゲート170、ONO膜160c及びコントロールゲート172を含む。不純物領域130は、セレクトゲートトランジスタ140及び第1メモリトランジスタ138のソース/ドレインである。不純物領域130によって、セレクトゲートトランジスタ140と第1メモリトランジスタ138とは電気的に接続されている。第1メモリトランジスタ138の隣には、第1メモリトランジスタと同様の構造した第2メモリトランジスタ136が形成され、第2メモリト

ランジスタ136の隣には、第3メモリトランジスタ134が形成されている。第1メモリトランジスタ138と第2メモリトランジスタ136とは、不純物領域128によって電氣的に接続されている。第2メモリトランジスタ136と第3メモリトランジスタ134とは不純物領域126によって電氣的に接続されている。

【0176】セレクトゲートトランジスタ140、第1、第2、第3メモリトランジスタ138、136、134を覆うように、シリコン基板120の主表面には、層間絶縁膜の一例であるシリコン酸化膜142が形成されている。層間絶縁膜の他の例としては、PSG膜やBPSG膜を単独に用いたものがある。また、PSG膜、BPSG膜及びシリコン酸化膜を組み合わせた多層ものを層間絶縁膜としてもよい。シリコン酸化膜142には、不純物領域130に到達するコンタクトホール158、不純物領域128に到達するコンタクトホール156、不純物領域126に到達するコンタクトホール154が形成されている。シリコン酸化膜142の上には、アルミ配線146、148、150が形成されている。アルミ配線150は不純物領域130と電氣的に接続され、アルミ配線148は不純物領域128と電氣的に接続され、アルミ配線146は不純物領域126と電氣的に接続されている。なおアルミ配線の代わりにアルミニウムに銅などを含むアルミ合金配線でもよい。また、バリアメタル（例えばTi、TiN）とアルミ合金と反射防止膜（例えばTiN）との積層構造からなる配線でもよい。

【0177】次に、図30を用いて平面構造を説明する。活性領域190が横方向に形成されている。活性領域190と直交するように、セレクトゲートトランジスタ140、アルミ配線150、第1メモリトランジスタ138のゲート配線WL₁、アルミ配線148、第2メモリトランジスタ136のゲート配線WL₂、アルミ配線146、第3メモリトランジスタ134のゲート配線WL₃が形成されている。

【0178】（製造工程の説明）次に、この発明に従う不揮発性半導体記憶装置の製造方法の第5の実施形態を説明する。図31を参照して、p型のシリコン基板120の主表面に、p型の不純物、例えばホウ素を拡散させてp型ウェル122を形成する。シリコン基板120の主表面に、選択酸化法によってフィールド酸化膜132を形成する。シリコン基板120の主表面に、例えば熱酸化法によって、シリコン酸化膜196を形成する。シリコン酸化膜196は、トンネル酸化膜及びゲート酸化膜となる。シリコン基板120の主表面の全面に、例えばCVD法を用いてポリシリコン膜を形成し、これにリンや砒素を拡散してn型のポリシリコン膜144を形成する。なお、ポリシリコン膜をn型にする他の方法としては、ポリシリコン膜形成後、リンや砒素をイオン注入する方法がある。また、ポリシリコン膜形成後、塩化ホ

スホリン（POCl₃）を含んだキャリアガスを導入する方法がある。さらに、ポリシリコン膜を形成するときに、ホスホリン（PH₃）を含んだキャリアガスを導入する方法がある。

【0179】次に、記憶素子形成領域186及びセレクトゲートトランジスタ形成領域188を覆うように、ポリシリコン膜144の上にONO膜160を形成する。ONO膜160のO膜の部分は、例えば熱酸化法やCVD法により形成される。N膜の部分は例えば、CVD法により形成される。ONO膜160の上に、レジスト192を形成し、記憶素子形成領域186の上にレジスト192が残るようにパターニングを施す。

【0180】図32を参照して、レジスト192をマスクとして、ONO膜160を選択的にエッチング除去する。すなわち、記憶素子形成領域186の上に、ONO膜160を残し、セレクトゲートトランジスタ形成領域188及びフィールド酸化膜132の上にあるONO膜160を除去する。

【0181】図33を参照して、ポリシリコン膜144の形成と同様の方法を用いて、シリコン基板120の主表面全面に、ポリシリコン膜152を形成する。ポリシリコン膜152は、記憶素子形成領域186では、ONO膜160の上に位置している。また、セレクトゲートトランジスタ形成領域188及びフィールド酸化膜132の上では、ポリシリコン膜152は、露出したポリシリコン膜144の上に位置しており、ポリシリコン膜152とポリシリコン膜144とは接触している。そしてポリシリコン膜152の上にレジスト194を形成し、レジスト194に所定のパターニングを施す。

【0182】図34を参照して、レジスト194をマスクとして、ポリシリコン膜152及びポリシリコン膜144を選択的にエッチング除去し、ゲート電極164、第1メモリトランジスタ138のコントロールゲート172、ONO膜160c、フローティングゲート170の積層構造、第2、第3メモリトランジスタ136、134のコントロールゲート、ONO膜、フローティングゲートの積層構造を同時に形成する。

【0183】図35を参照して、レジスト194を除去する。そして、ゲート電極164、第1、第2、第3メモリトランジスタ138、136、134のコントロールゲート及びフローティングゲートの積層構造をマスクとして、シリコン基板120のp型ウェル122中に、リンや砒素をイオン注入し、不純物領域124、126、128及び130を形成する。

【0184】図29を参照して、シリコン基板120の主表面全面に、例えばCVD法を用いてシリコン酸化膜142を形成する。そしてシリコン酸化膜142を選択的にエッチング除去し、不純物領域126に到達するコンタクトホール154、不純物領域128に到達するコンタクトホール156、不純物領域130に到達するコ

ンタクトホール 158 を形成する。次に、シリコン酸化膜 142 の上及びコンタクトホール 154、156、158 の内部に、例えばスパッタリング法を用いてアルミニウムを形成する。このアルミニウムに所定のパターニングを施すことにより、不純物領域 126 と電氣的に接続するアルミ配線 146、不純物領域 128 と電氣的に接続するアルミ配線 148、不純物領域 130 と電氣的に接続するアルミ配線 150 を形成する。

【0185】（効果の説明）以上説明したように、セレクトゲートトランジスタ 140 のゲート電極 164 は、ポリシリコン膜 152 及びポリシリコン膜 144 を含む。第 1、第 2、第 3 メモリトランジスタ 138、136、134 のフローティングゲートは、ポリシリコン膜 144 を含む、コントロールゲートはポリシリコン膜 152 を含む。よって、ゲート電極 164 の厚みと、コントロールゲートの厚みとフローティングゲートの厚みとの和とは、同じである。さらに、ゲート電極 164 とコントロールゲート及びフローティングゲートの積層構造とは、同時に形成している。従って、ゲート電極 164 とフローティングゲート 170 との間にあるシリコン基板 120 の主表面が過度にエッチングされることはない。溝部の形成を防ぐことができる。不純物領域 130 には、溝部が原因となる形状変化がないので、第 1、第 2、第 3 メモリトランジスタ 138、136、134 への書き込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0186】また、ゲート酸化膜 166 形成直後に、ゲート酸化膜 166 はポリシリコン膜 144 で覆われる。よって、ゲート酸化膜 166 は、後工程（例えば、ONO 膜エッチング）における洗浄液やプラズマ（Process Induced Charge）に曝されないため、その膜質を向上することができる。

【0187】また、図 31 に示すように、シリコン酸化膜 196 を形成し、これをトンネル酸化膜及びゲート酸化膜にしている。つまり、トンネル酸化膜とゲート酸化膜とを同時に形成している。よって、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0188】第 5 の実施形態により製造された不揮発性半導体記憶装置は、以下の効果を有する。ゲート電極 164 は、ポリシリコン膜 144 とポリシリコン膜 152 とを積層した構造、つまり 2 層のポリシリコン膜から構成される。ポリシリコン膜 144 があるので、ポリシリコン膜 152 への不純物ドーピングの際の不純物の突き抜けを防止でき、ゲート酸化膜 166 の膜質向上及びゲート電極 164 直下のシリコン基板 120 の不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現できる。

【0189】また、ゲート電極 164 の下層電極及び上層電極として、ポリシリコン膜を用いているので、ゲート酸化膜 166 の膜質特性要求（ゲート酸化膜 166 と

下層電極との界面に起因）及び金属シリサイドの特性要求（上層電極と金属シリサイドとの界面に起因）に対し、それぞれ、ポリシリコン膜 144、ポリシリコン膜 152 により独立に最適化できる。

【0190】さらに、ゲート電極 164 の高さ、第 1、第 2、第 3 メモリトランジスタ 138、136、134 の積層構造の高さが概ね同一となる。よって、その上に形成されるシリコン酸化膜 142 の平坦性を向上させることができる

（第 6 の実施形態）

（構造の説明）図 36 は、この発明に従う不揮発性半導体記憶装置の製造方法の第 6 の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。図 37 は、図 36 に示す構造の平面図であり、矢印 A 方向から切断した断面図が図 36 である。図 29 及び図 30 に示す構造と同一の部分については、同一の符号を用いる。図 36 を参照して、第 6 の実施形態により製造された不揮発性半導体記憶装置と第 5 の実施形態により製造された不揮発性半導体記憶装置との違いは、以下の通りである。ゲート電極 164 は、ポリシリコン膜 152 及びポリシリコン膜 144 の積層構造を含む。ポリシリコン膜 152 とポリシリコン膜 144 との間に、絶縁膜である ONO 膜 160 がある。ゲート電極 164 を構成するポリシリコン膜 152 とポリシリコン膜 144 とは、接続領域 198 にあるフィールド酸化膜 132 上で、コンタクトホール 162 を用いることにより電氣的に接続されている。

【0191】（製造工程の説明）次に、この発明に従う不揮発性半導体記憶装置の製造方法の第 6 の実施形態を説明する。図 38 を参照して、ONO 膜 160 形成までの工程は、第 5 の実施形態と同じである。ONO 膜 160 の上に、レジスト 200 を形成する。記憶素子形成領域 186 及びセレクトゲートトランジスタ形成領域 188 を覆い、接続領域 198 に開口部ができるように、レジスト 200 にパターニングを施す。

【0192】図 39 を参照して、レジスト 200 をマスクとして、ONO 膜 160 を選択的にエッチング除去し、接続領域 198 においてポリシリコン膜 144 を露出させるコンタクトホール 162 を形成する。

【0193】図 40 を参照して、第 5 の実施形態と同じ方法で、ONO 膜 160 の上にポリシリコン膜 152 を形成する。ポリシリコン膜 152 は、コンタクトホール 162 内にも形成され、これによりポリシリコン膜 152 とポリシリコン膜 144 とが電氣的に接続される。そしてポリシリコン膜 152 の上にレジスト 202 を形成し、レジスト 202 に所定のパターニングを施す。

【0194】図 41 を参照して、レジスト 202 をマスクとして、ポリシリコン膜 152 及びポリシリコン膜 144 を選択的にエッチング除去し、ゲート電極 164、第 1 メモリトランジスタ 138 のコントロールゲート 1

72、ONO膜160c、フローティングゲート170の積層構造、第2、第3メモリトランジスタ136、134のコントロールゲート、ONO膜、フローティングゲートの積層構造を同時に形成する。

【0195】図42を参照して、レジスト202を除去する。そして、ゲート電極164、第1、第2、第3メモリトランジスタ138、136、134のコントロールゲート及びフローティングゲートの積層構造をマスクとして、シリコン基板120のp型ウェル122中に、リンや砒素をイオン注入し、不純物領域124、126、128及び130を形成する。

【0196】図36を参照して、シリコン基板120の主表面全面に、例えばCVD法を用いてシリコン酸化膜142を形成する。そしてシリコン酸化膜142を選択的にエッチング除去し、不純物領域126に到達するコンタクトホール154、不純物領域128に到達するコンタクトホール156、不純物領域130に到達するコンタクトホール158を形成する。次に、シリコン酸化膜142の上及びコンタクトホール154、156、158の内部に、例えばスパッタリング法を用いてアルミニウムを形成する。このアルミニウムに所定のパターニングを施すことにより、不純物領域126と電気的に接続するアルミ配線146、不純物領域128と電気的に接続するアルミ配線148、不純物領域130と電気的に接続するアルミ配線150を形成する。

【0197】(効果の説明)第6の実施形態において、間にONO膜160を挟んだポリシリコン膜144、152の積層構造を含むゲート電極164を形成しているので、コントロールゲート172及びフローティングゲート170の積層構造の形成工程と、ゲート電極164の形成工程とが、全く同一となり、ゲート電極164形成を簡易にできる。

【0198】また、第5の実施形態と同じ理由により、第6の実施形態は、不純物領域130が形成されるシリコン基板120の主表面が過度にエッチングされることはないので、溝部の形成を防ぐことができる。不純物領域130には、溝部が原因となる形状変化がないので、第1、第2、第3メモリトランジスタ138、136、134への書込み、消去及び読み出し速度が遅くなるという影響が生じない。

【0199】また、第5の実施形態と同じ理由により、第6の実施形態は、トンネル酸化膜168及びゲート酸化膜166を同時に形成しているので、不揮発性半導体記憶装置の製造工程を減らすことができる。

【0200】また、第5の実施形態と同じ理由により、第6の実施形態は、ゲート酸化膜166は、後工程(例えば、ONO膜エッチング)における洗浄液やプラズマ(Process Induced Charge)に曝されないため、その膜質を向上することができる。

【0201】第6の実施形態により製造された不揮発性

半導体記憶装置は、以下の効果を有する。ゲート電極164の下層電極と上層電極との間にONO膜160を挟んだ構造である。このONO膜160によりポリシリコン膜152への不純物ドーピングの際の不純物の突き抜けをさらに防止でき、ゲート酸化膜166の膜質向上及びゲート電極164直下のシリコン基板120不純物プロファイルの高精度制御することができる。よって、高信頼性を有する不揮発性半導体記憶装置を実現できる。また、下層電極と上層電極との間にONO膜160を挟んだ構造であるため、ゲート電極164の高さと、第1、第2、第3メモリトランジスタ138、136、134の積層構造の高さとが同一となる。よって、その上に形成されるシリコン酸化膜142の平坦性を向上させることができる。

【0202】また、第5の実施形態により製造された不揮発性半導体記憶装置と同じ理由により、ゲート電極164の下層電極及び上層電極として、ポリシリコン膜を用いているので、ゲート酸化膜166の膜質特性要求(ゲート酸化膜166と下層電極との界面に起因)及び金属シリサイドの特性要求(上層電極と金属シリサイドとの界面に起因)に対し、それぞれ、ポリシリコン膜144、ポリシリコン膜152により独立に最適化できる。

【0203】

【図面の簡単な説明】

【図1】この発明に従う不揮発性半導体記憶装置の製造方法の第1の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。

【図2】図1に示す構造の平面図であり、矢印A方向から切断した断面図が図1である。

【図3】この発明に従う不揮発性半導体記憶装置の製造方法の第1～第4の実施形態を適用したフラッシュメモリのメモリセルの等価回路図である。

【図4】この発明に従う不揮発性半導体記憶装置の製造方法の第1～第4の実施形態を適用したフラッシュメモリのメモリセルの概略断面図である。

【図5】この発明に従う不揮発性半導体記憶装置の製造方法の第1～第4の実施形態を適用したフラッシュメモリのメモリセルアレイの等価回路図である。

【図6】この発明に従う不揮発性半導体記憶装置の製造方法の第1の実施形態を適用したフラッシュメモリのメモリセルアレイの等価回路図である。

【図7】この発明に従う不揮発性半導体記憶装置の製造方法の第1の実施形態の第1工程を説明するための部分断面図である。

【図8】この発明に従う不揮発性半導体記憶装置の製造方法の第1の実施形態の第2工程を説明するための部分断面図である。

【図9】この発明に従う不揮発性半導体記憶装置の製造方法の第1の実施形態の第3工程を説明するための部分

断面図である。

【図 10】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 の実施形態の第 4 工程を説明するための部分断面図である。

【図 11】この発明に従う不揮発性半導体記憶装置の製造方法の第 1 の実施形態の第 5 工程を説明するための部分断面図である。

【図 12】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。

【図 13】図 12 に示す構造の平面図であり、矢印 A 方向から切断した断面図が図 12 である。

【図 14】図 13 に示す構造を矢印 B 方向から切断した断面図である。

【図 15】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 の実施形態の第 1 工程を説明するための部分断面図である。

【図 16】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 の実施形態の第 2 工程を説明するための部分断面図である。

【図 17】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 の実施形態の第 3 工程を説明するための部分断面図である。

【図 18】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 の実施形態の第 4 工程を説明するための部分断面図である。

【図 19】この発明に従う不揮発性半導体記憶装置の製造方法の第 2 の実施形態の第 5 工程を説明するための部分断面図である。

【図 20】この発明に従う不揮発性半導体記憶装置の製造方法の第 3 の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。

【図 21】図 20 に示す構造の平面図であり、矢印 A 方向から切断した断面図が図 20 である。

【図 22】この発明に従う不揮発性半導体記憶装置の製造方法の第 4 の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。

【図 23】図 22 に示す構造の平面図であり、矢印 A 方向から切断した断面図が図 22 である。

【図 24】図 23 に示す構造を矢印 B 方向から切断した断面図である。

【図 25】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 及び第 6 の実施形態を適用した NOR 型フラッシュメモリのメモリセルアレイの等価回路図である。

【図 26】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 及び第 6 の実施形態を適用した NAND 型フラッシュメモリのメモリセルアレイの等価回路図である。

【図 27】この発明に従う不揮発性半導体記憶装置の製

造方法の第 5 及び第 6 の実施形態を適用した DINOR 型フラッシュメモリのメモリセルアレイの等価回路図である。

【図 28】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 及び第 6 の実施形態を適用した AND 型フラッシュメモリのメモリセルアレイの等価回路図である。

【図 29】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。

【図 30】図 29 に示す構造の平面図であり、矢印 A 方向から切断した断面図が図 29 である。

【図 31】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 の実施形態の第 1 工程を説明するための部分断面図である。

【図 32】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 の実施形態の第 2 工程を説明するための部分断面図である。

【図 33】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 の実施形態の第 3 工程を説明するための部分断面図である。

【図 34】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 の実施形態の第 4 工程を説明するための部分断面図である。

【図 35】この発明に従う不揮発性半導体記憶装置の製造方法の第 5 の実施形態の第 5 工程を説明するための部分断面図である。

【図 36】この発明に従う不揮発性半導体記憶装置の製造方法の第 6 の実施形態により製造された不揮発性半導体記憶装置の部分断面図である。

【図 37】図 36 に示す構造の平面図であり、矢印 A 方向から切断した断面図が図 36 である。

【図 38】この発明に従う不揮発性半導体記憶装置の製造方法の第 6 の実施形態の第 1 工程を説明するための部分断面図である。

【図 39】この発明に従う不揮発性半導体記憶装置の製造方法の第 6 の実施形態の第 2 工程を説明するための部分断面図である。

【図 40】この発明に従う不揮発性半導体記憶装置の製造方法の第 6 の実施形態の第 3 工程を説明するための部分断面図である。

【図 41】この発明に従う不揮発性半導体記憶装置の製造方法の第 6 の実施形態の第 4 工程を説明するための部分断面図である。

【図 42】この発明に従う不揮発性半導体記憶装置の製造方法の第 6 の実施形態の第 5 工程を説明するための部分断面図である。

【図 43】従来の不揮発性半導体記憶装置の製造方法の一例の第 1 工程を説明するための部分断面図である。

【図 44】従来の不揮発性半導体記憶装置の製造方法の

一例の第2工程を説明するための部分断面図である。

【図45】従来の不揮発性半導体記憶装置の製造方法の一例の第3工程を説明するための部分断面図である。

【図46】従来の不揮発性半導体記憶装置の製造方法の一例の第4工程を説明するための部分断面図である。

【図47】従来の不揮発性半導体記憶装置の製造方法の一例の第5工程を説明するための部分断面図である。

【図48】従来の不揮発性半導体記憶装置の製造方法の一例の第6工程を説明するための部分断面図である。

【図49】従来の不揮発性半導体記憶装置の製造方法の一例の第7工程を説明するための部分断面図である。

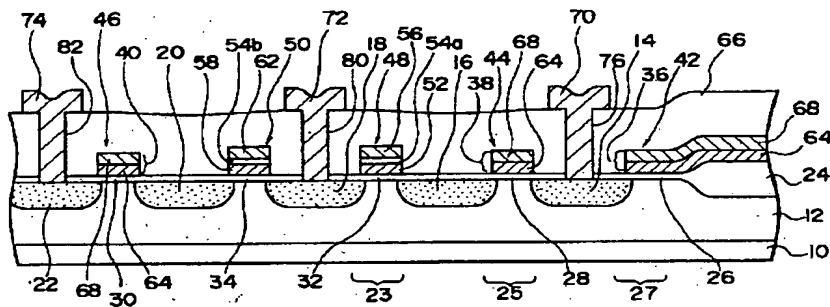
【図50】従来の不揮発性半導体記憶装置の製造方法の一例の第8工程を説明するための部分断面図である。

【図51】従来の不揮発性半導体記憶装置の製造方法の一例の第9工程を説明するための部分断面図である。

【符号の説明】

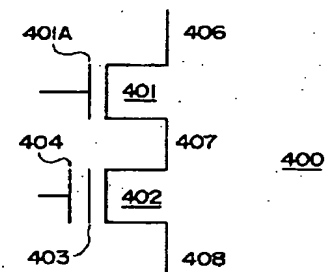
- 10 シリコン基板
- 14、16 不純物領域
- 23 記憶素子形成領域
- 25 選択トランジスタ形成領域
- 26、28 ゲート酸化膜
- 27 セレクトゲートトランジスタ形成領域
- 32 トンネル酸化膜
- 36、38 ゲート電極
- 42 セレクトゲートトランジスタ
- 44 選択トランジスタ
- 48 第1メモリトランジスタ
- 52 フローティングゲート
- 54a ONO膜
- 56 コントロールゲート
- 64、68 ポリシリコン膜

【図1】

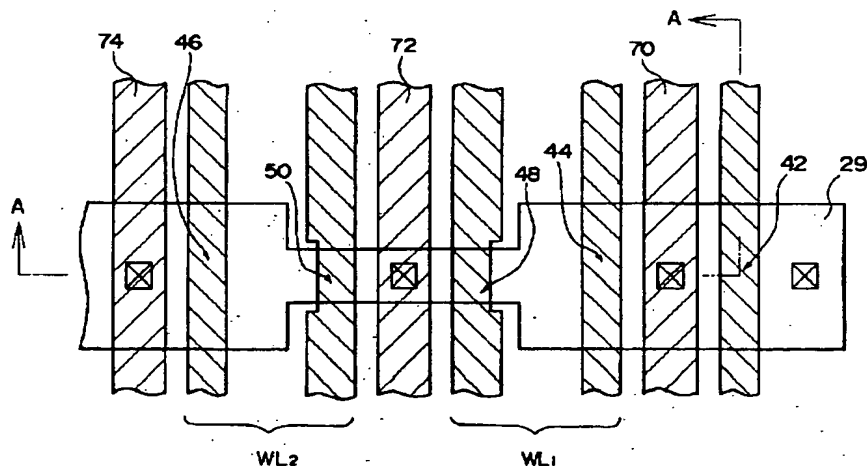


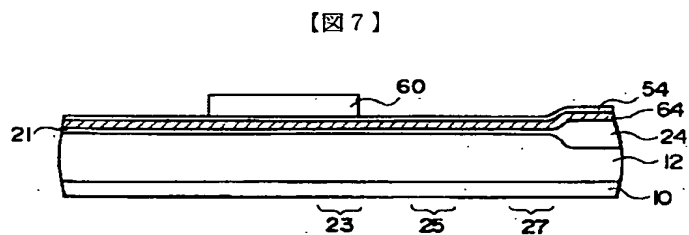
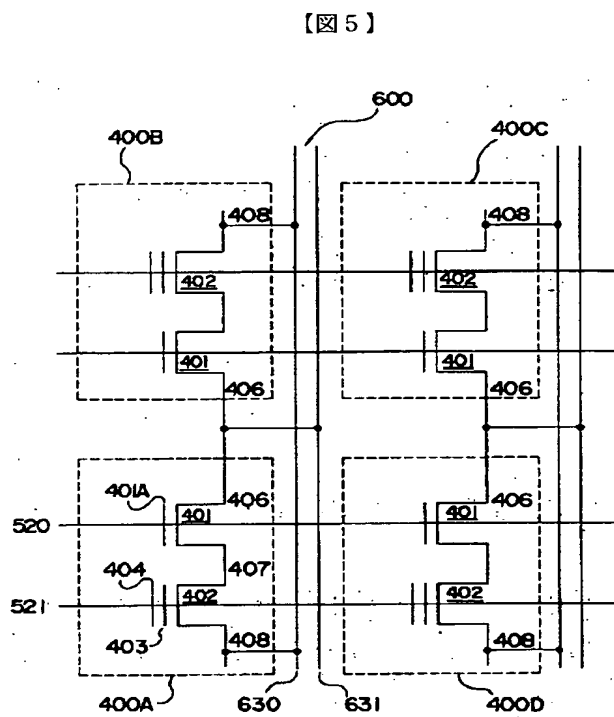
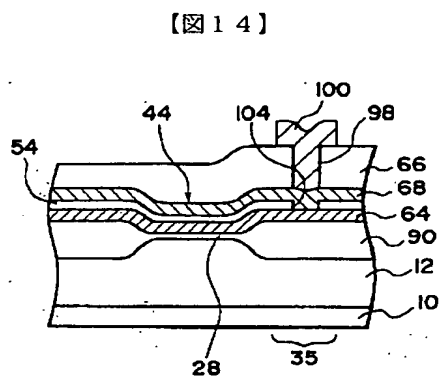
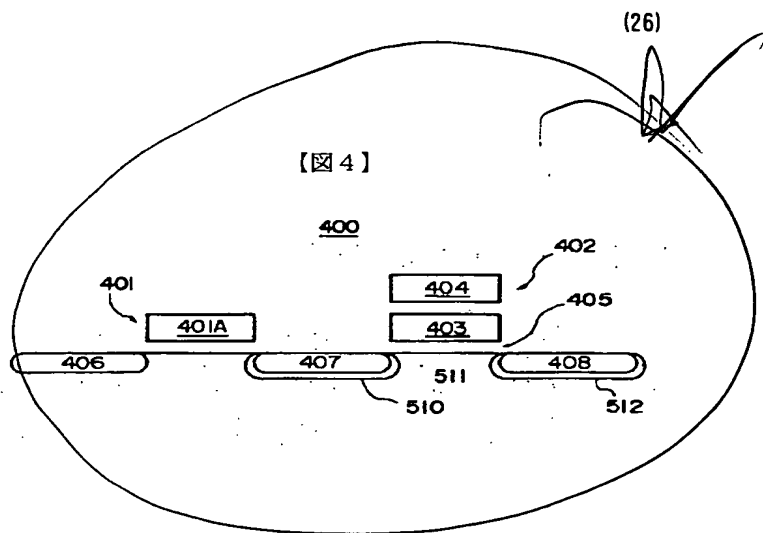
- | | | |
|-----------------|----------------------|----------------|
| 10 シリコン基板 | 27 セレクトゲートトランジスタ形成領域 | 48 第1メモリトランジスタ |
| 14、16 不純物領域 | 32 トンネル酸化膜 | 52 フローティングゲート |
| 23 記憶素子形成領域 | 36、38 ゲート電極 | 54a ONO膜 |
| 25 選択トランジスタ形成領域 | 42 セレクトゲートトランジスタ | 56 コントロールゲート |
| 26、28 ゲート酸化膜 | 44 選択トランジスタ | 64、68 ポリシリコン膜 |

【図3】

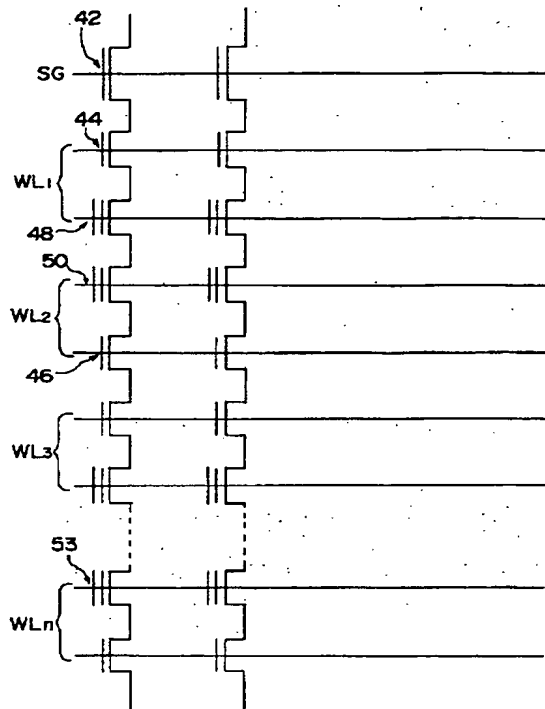


【図2】

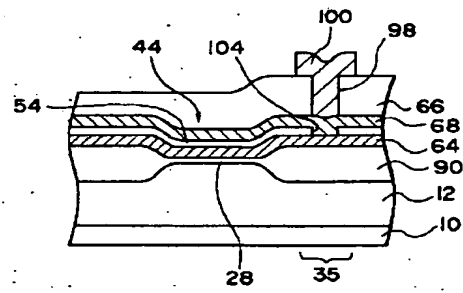




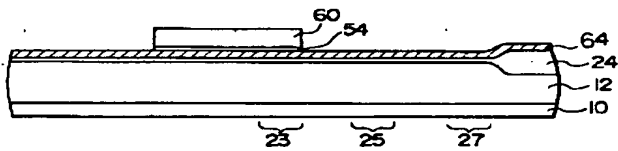
【図 6】



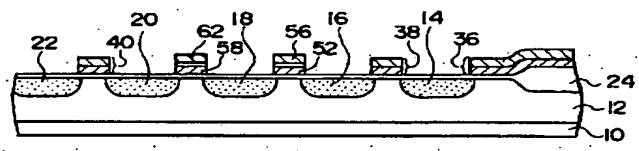
【図 24】



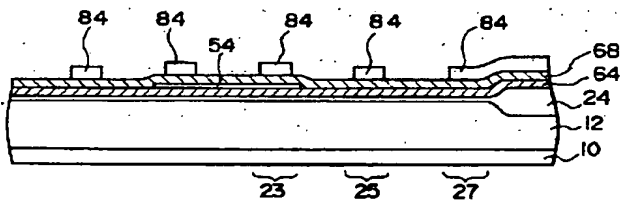
【図 8】



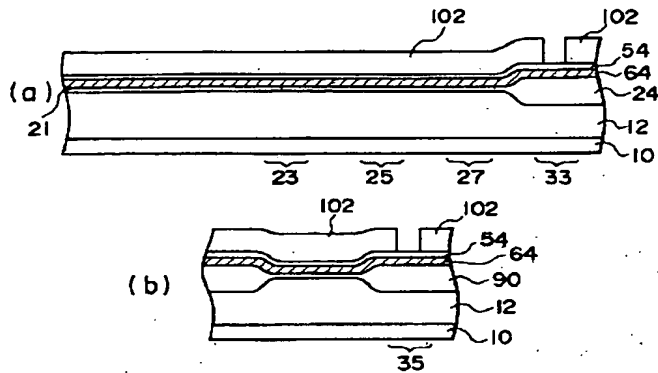
【図 11】



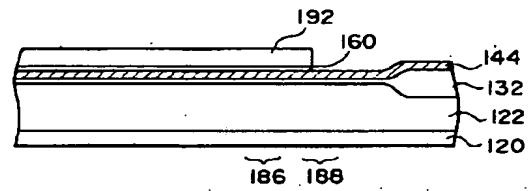
【図 9】



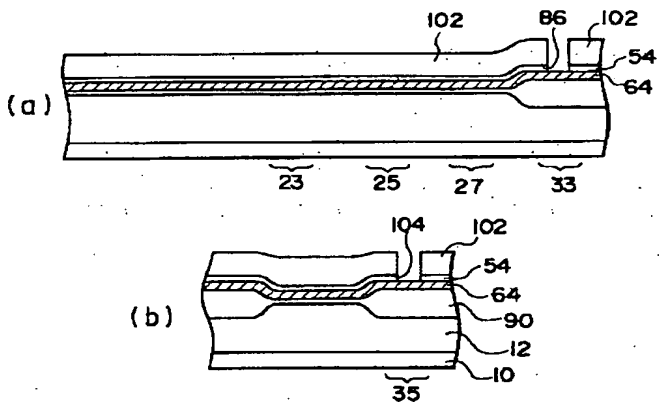
【図 15】



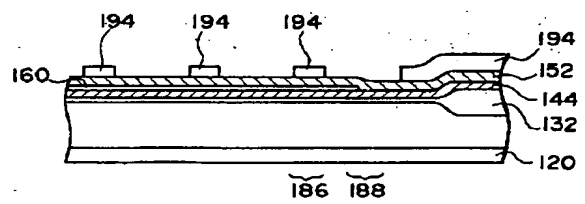
【図 32】



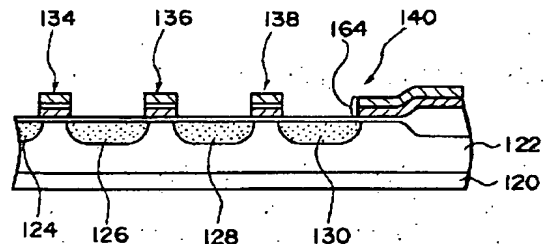
【図 16】



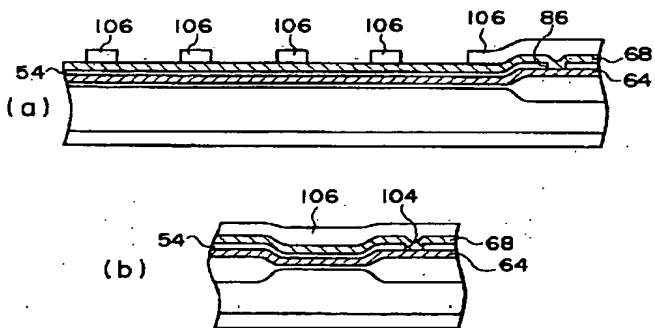
【図 33】



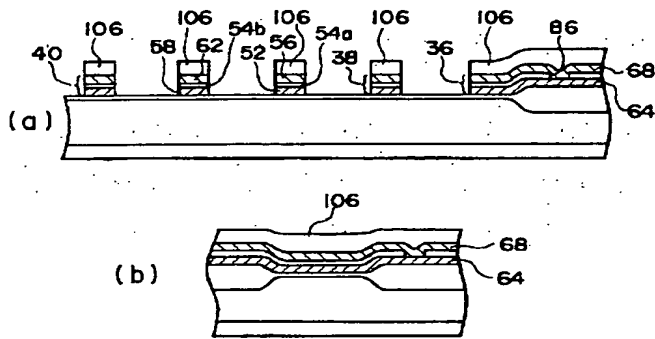
【図 35】



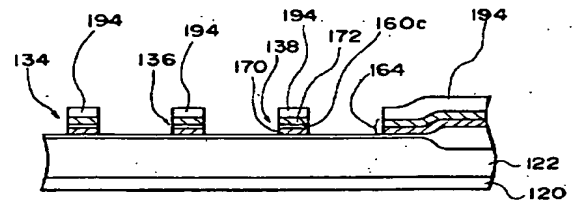
【図 17】



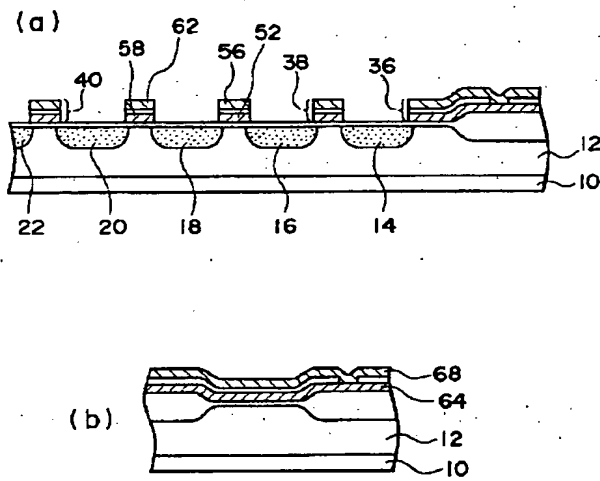
【図18】



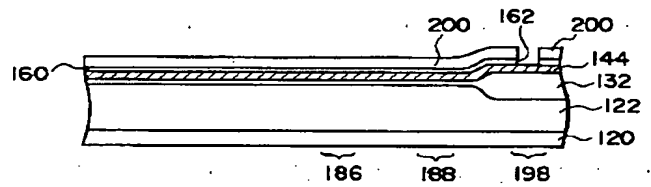
【図34】



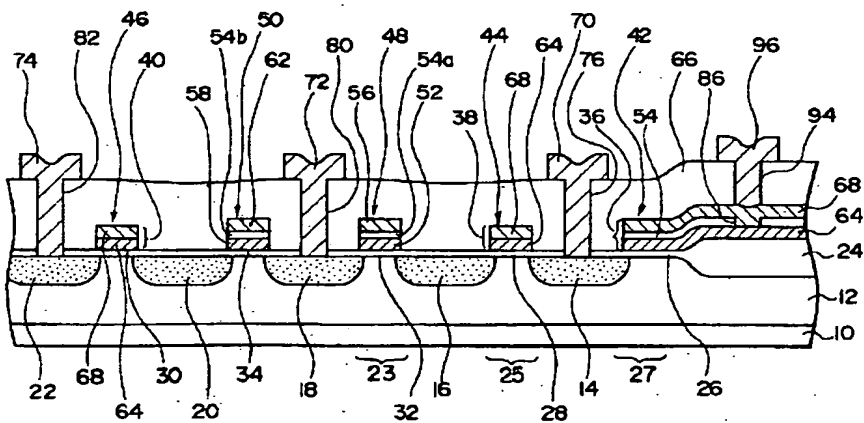
【図19】



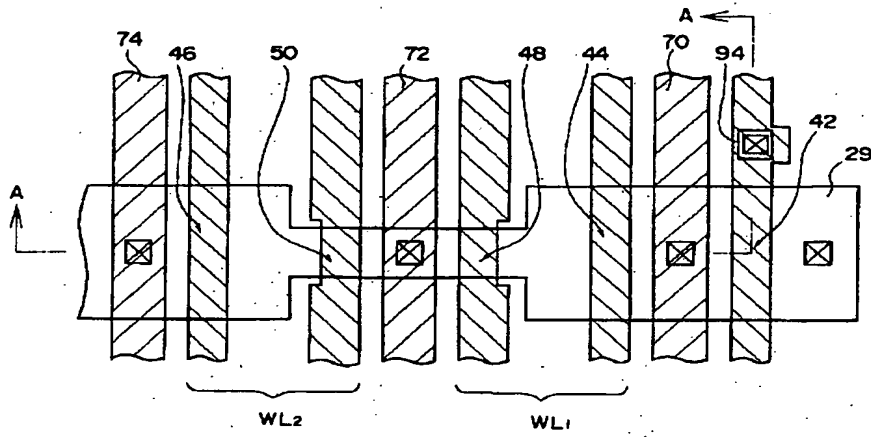
【図39】



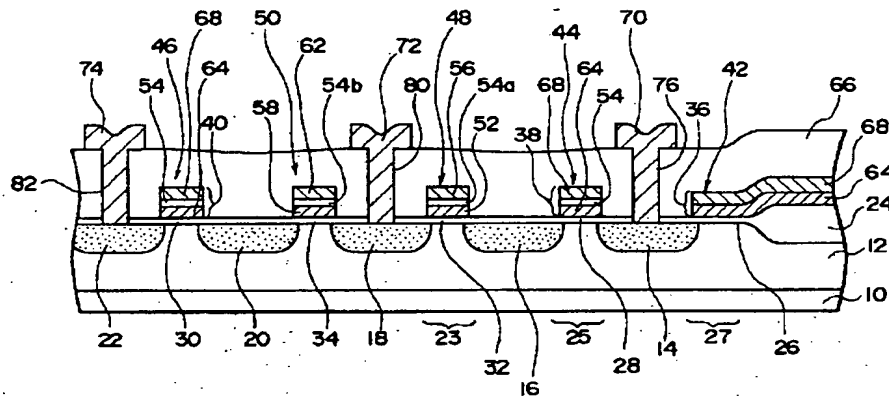
【図20】



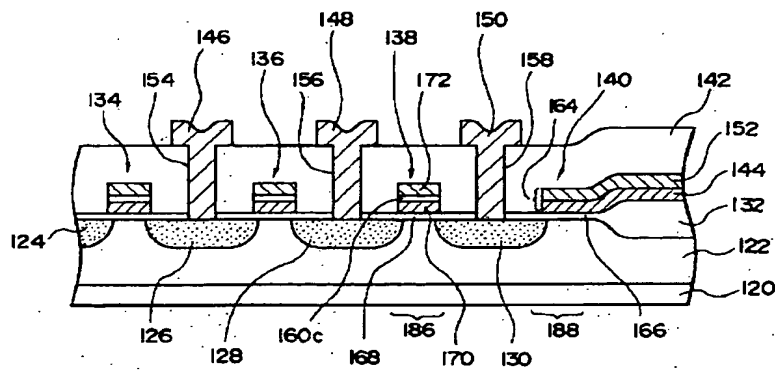
【図 21】



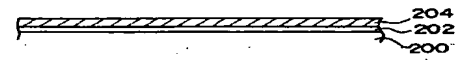
【図 22】



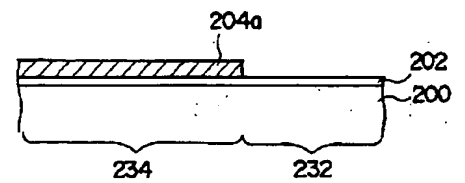
【図 29】



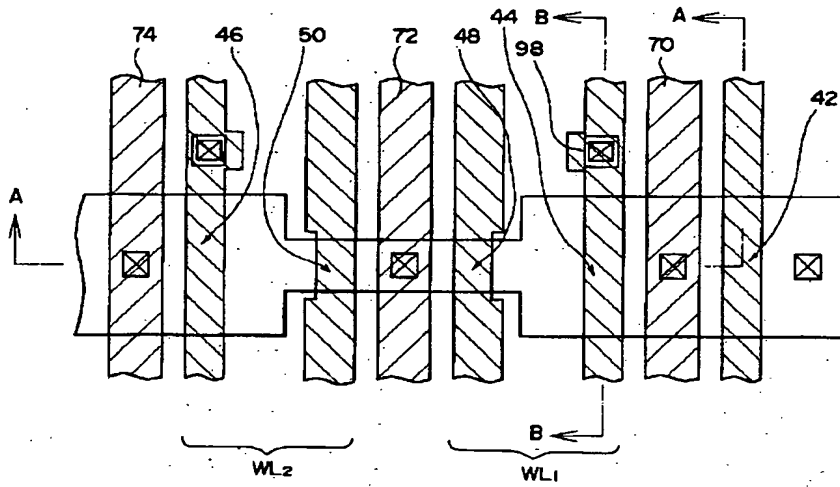
【図 43】



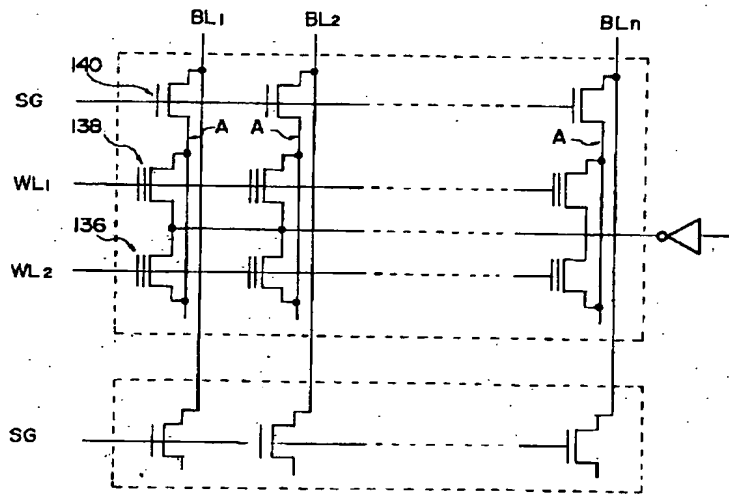
【図 44】



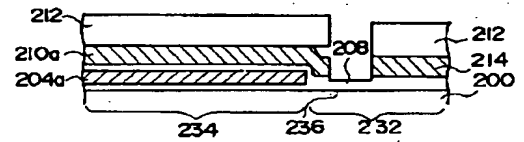
【図 23】



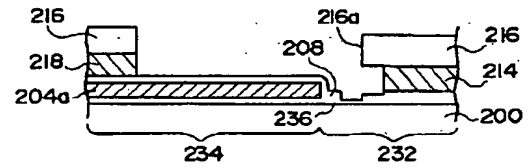
【図 25】



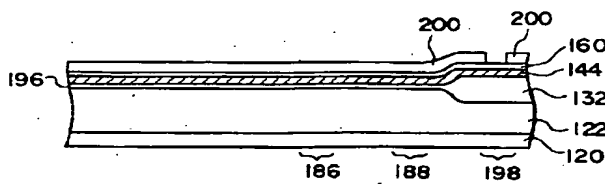
【図 46】



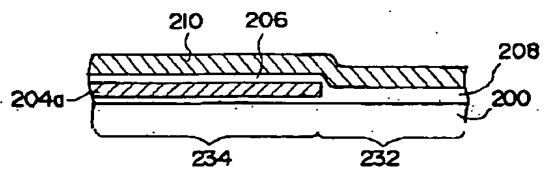
【図 47】



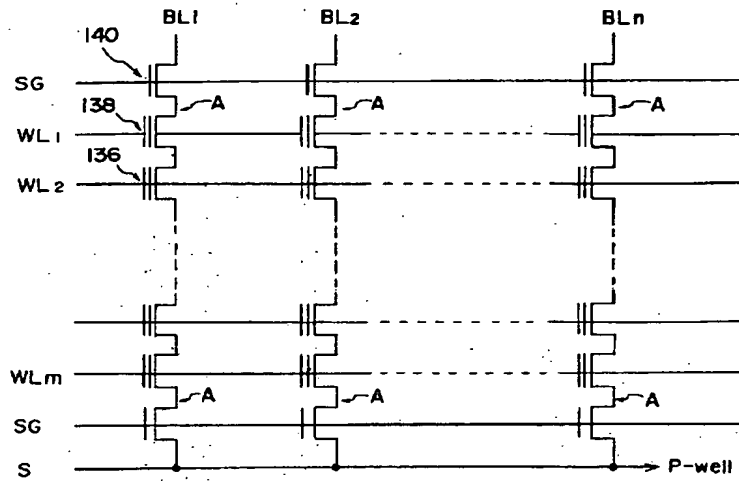
【図 38】



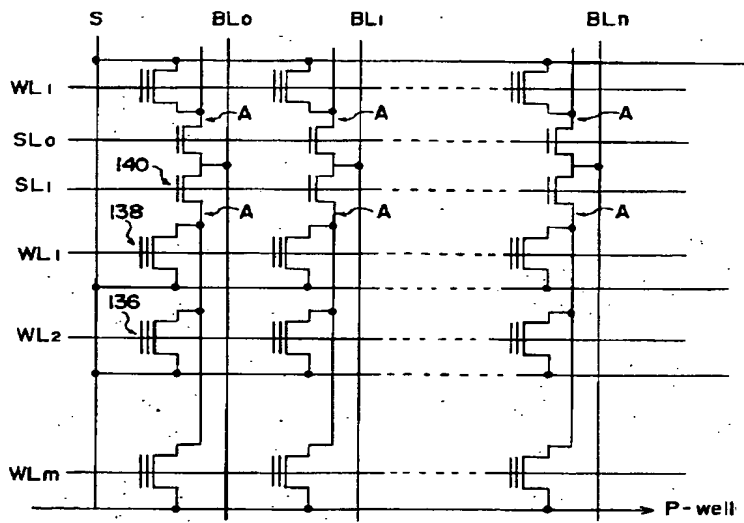
【図 45】



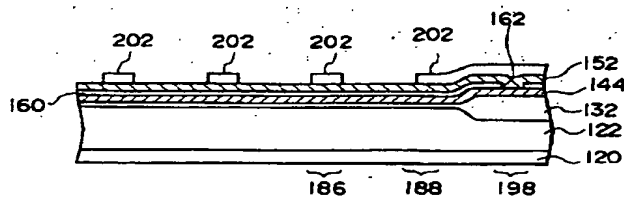
【図 26】



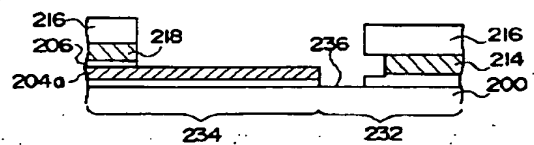
【図 27】



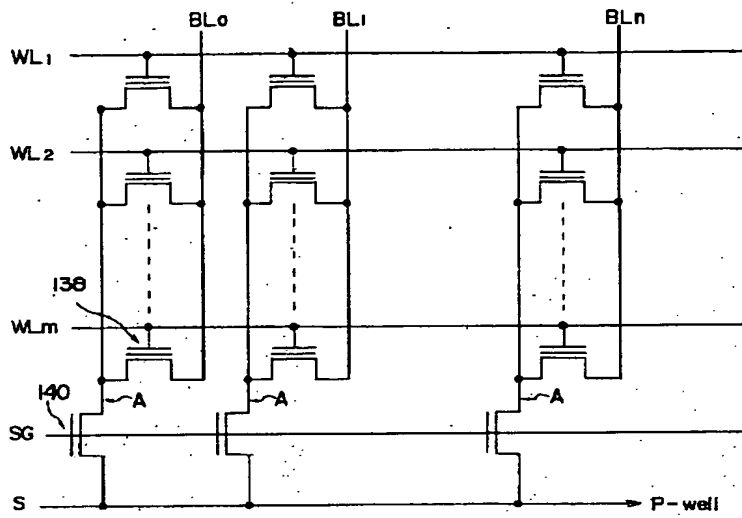
【図 40】



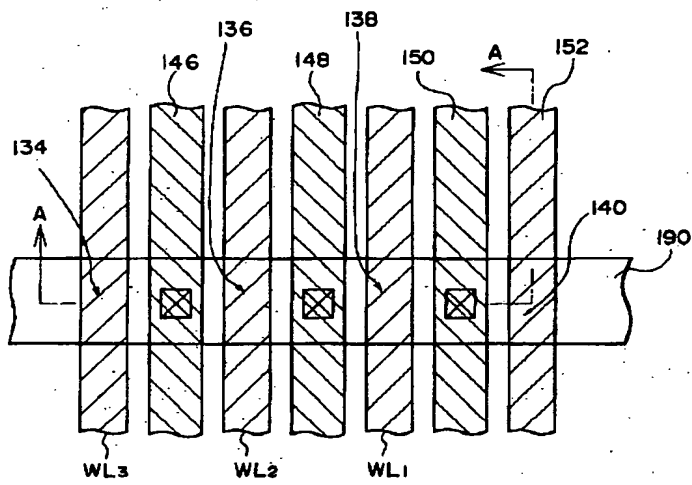
【図 48】



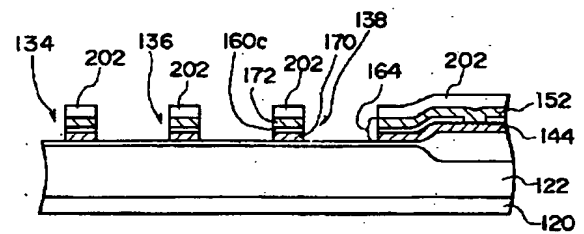
【図 28】



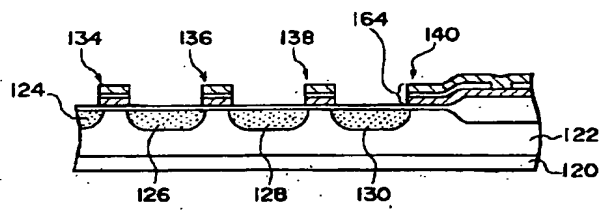
【図 30】



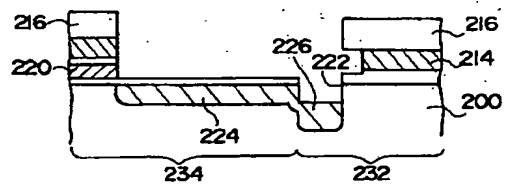
【図 41】



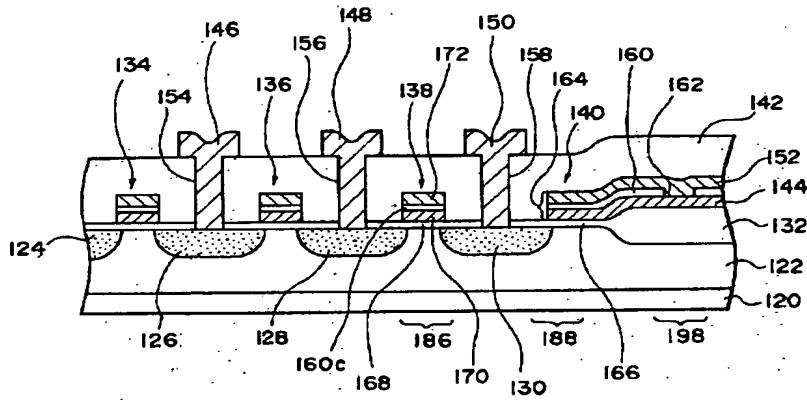
【図 42】



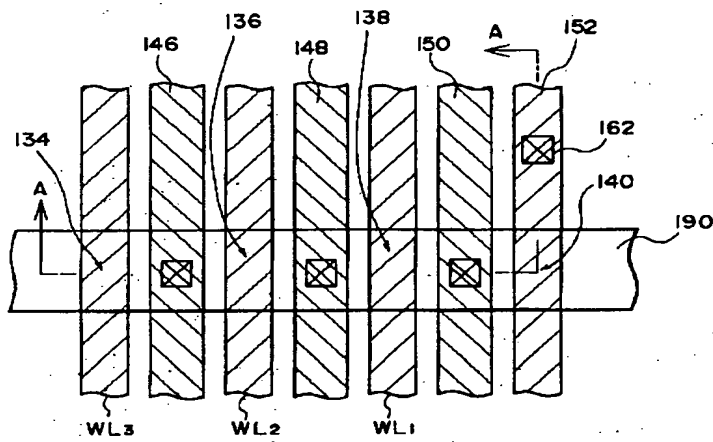
【図 49】



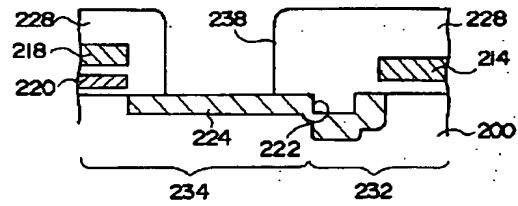
【図 36】



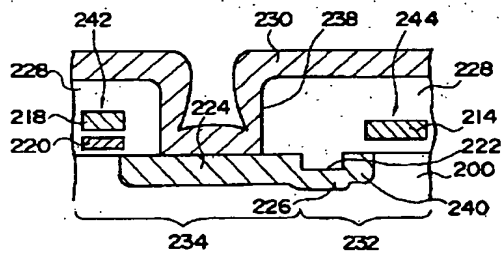
【図 37】



【図 50】



【図 51】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 27/115

27/10

4 8 1